

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-207713

(43)Date of publication of application : 26.07.2002

(51)Int.Cl. G06F 15/177

G06F 12/00

G06F 12/02

G06F 12/14

G06F 15/167

(21)Application number : 2001-003993

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 11.01.2001

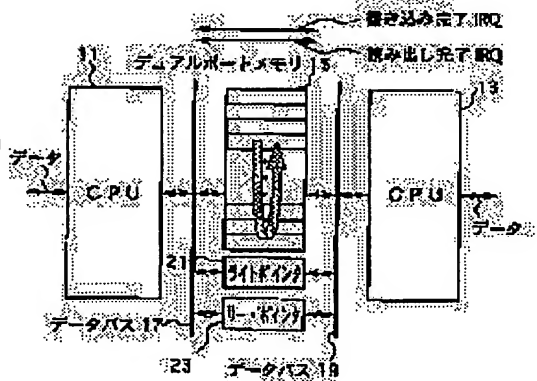
(72)Inventor : ISHIHARA TAKESHI

## (54) METHOD AND DEVICE FOR DATA COMMUNICATION BETWEEN CPUs

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To eliminate a stand-by time each other irrespective of an operation condition in a mating CPU, in communication between plural CPUs.

**SOLUTION:** In data transmission, a data is written in an unoccupied area of a dual port memory 15 for storing the data temporarily, and a writing address of the area of the dual port memory 15 written with the data is stored in a write pointer 21. In data reception, the data is read out from the dual memory 15 based on the writing address stored in the pointer 21, and a reading address of the area of the dual port memory 15 from which the data is read out is stored in a read pointer 23. The unoccupied area of the dual port memory 15 is recognized based on the reading address stored in the read pointer 23, before the data is written in the dual port memory 15 in the data transmission.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-207713

(P 2 0 0 2 - 2 0 7 7 1 3 A)

(43) 公開日 平成14年7月26日 (2002.7.26)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G06F 15/177	676	G06F 15/177	676 A 5B017
12/00	570	12/00	570 C 5B045
12/02	580	12/02	580 D 5B060
12/14	320	12/14	320 B
15/167		15/167	H
審査請求 未請求 請求項の数12 O L (全18頁)			

(21) 出願番号 特願2001-3993 (P 2001-3993)

(22) 出願日 平成13年1月11日 (2001.1.11)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 石原 健

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74) 代理人 100072604

弁理士 有我 軍一郎

F ターム (参考) 5B017 AA07 BA07 CA03

5B045 BR35 EE05

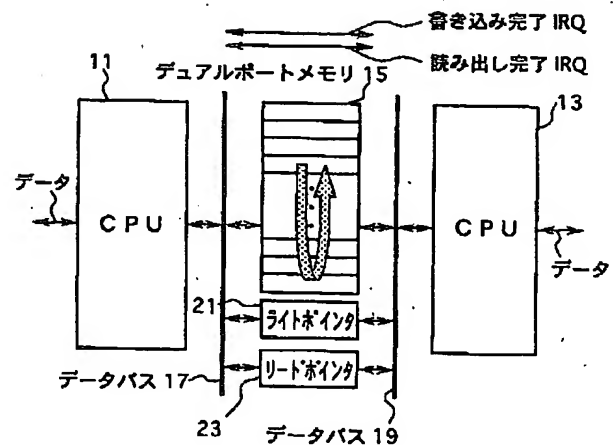
5B060 AB18 KA02 MB05

(54) 【発明の名称】 CPU間データ通信方法および装置

(57) 【要約】

【課題】 複数のCPU間の通信において、相手のCPUの動作状態によらず、互いの待ち時間を不要とすることができる優れたCPU間データ通信方法および装置を提供すること。

【解決手段】 データ送信時は、データを一時的に格納するデュアルポートメモリ15の空き領域にデータを書き込むとともに、このデータが書き込まれたデュアルポートメモリ15の領域の書き込みアドレスをライトポインタ21に格納し、データ受信時は、ライトポインタ21に格納された書き込みアドレスに基づいてデュアルポートメモリ15からデータを読み出すとともに、このデータが読み出されたデュアルポートメモリ15の領域の読み出しアドレスをリードポインタ23に格納し、データ送信時にデュアルポートメモリ15に前記データを書き込む前に、リードポインタ23に格納された読み出しアドレスに基づいてデュアルポートメモリ15の空き領域を認識する。



## 【特許請求の範囲】

【請求項 1】 少なくとも 2 つの CPU 間のデータ通信を行う CPU 間データ通信方法において、  
データ送信時は、データを一時的に格納する記憶装置の空き領域にデータを書き込むとともに、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポイントに格納し、  
データ受信時は、前記ライトポイントに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出すとともに、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポイントに格納し、  
前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする CPU 間データ通信方法。

【請求項 2】 少なくとも 2 つの CPU 間のデータ通信を行う CPU 間データ通信装置において、  
データを一時的に格納する記憶装置と、  
この記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、  
前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する通信インタフェースを備え、  
データ送信時は、前記記憶装置の空き領域にデータを書き込むとともに、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出すとともに、前記読み出しアドレスを前記リードポイントに格納し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする CPU 間データ通信装置。

【請求項 3】 少なくとも 2 つの CPU と、  
データを一時的に格納する記憶装置と、この記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する前記 CPU 間でデータを通信する通信インタフェースとを備え、  
データ送信時は、前記記憶装置の空き領域にデータを書き込むとともに、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出すとともに、前記読み出しアドレスを前記リードポイントに格納し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする

装置。

【請求項 4】 少なくとも 2 つの CPU 間のデータ通信を行う CPU 間データ通信方法において、  
データ送信時は、前記 CPU が有する固有の鍵情報に基づいて前記データを暗号化し、データを一時的に格納する記憶装置の空き領域に前記暗号化されたデータを書き込み、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポイントに格納し、  
データ受信時は、前記ライトポイントに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出し、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポイントに格納し、前記読み出したデータを前記鍵情報に基づいて復号し、  
前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする CPU 間データ通信方法。

【請求項 5】 少なくとも 2 つの CPU 間のデータ通信を行う CPU 間データ通信装置において、  
前記 CPU が有する固有の鍵情報に基づいてデータを暗号化する暗号化ユニットと、  
この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、

前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、  
前記記憶装置から読み出したデータを前記鍵情報に基づいて復号する復号ユニットと、  
前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する通信インタフェースを備え、

データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする CPU 間データ通信装置。

【請求項 6】 少なくとも 2 つの CPU と、  
前記 CPU が有する固有の鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記鍵情報に基づいて前記記憶装置から読み出したデータを復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読

み出しアドレスを格納するリードポイントとを有する前記CPU間でデータを通信する通信インタフェースとを備え、

データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする装置。

【請求項7】 少なくとも2つのCPU間のデータ通信を行うCPU間データ通信方法において、

固有の鍵情報を記憶し、

データ送信時は、前記鍵情報に基づいて前記データを暗号化し、データを一時的に格納する記憶装置の空き領域に前記暗号化されたデータを書き込み、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポイントに格納し、

データ受信時は、前記ライトポイントに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出し、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポイントに格納し、前記読み出したデータを前記鍵情報に基づいて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とするCPU間データ通信方法。

【請求項8】 少なくとも2つのCPU間のデータ通信を行うCPU間データ通信装置において、

固有の鍵情報を記憶する記憶手段と、

前記鍵情報に基づいてデータを暗号化する暗号化ユニットと、

この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、

前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、

前記記憶装置から読み出したデータを前記鍵情報に基づいて復号する復号ユニットと、

前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する通信インタフェースを備え、

データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記

ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とするCPU間データ通信装置。

【請求項9】 少なくとも2つのCPUと、

固有の鍵情報を記憶する記憶手段と、前記鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記鍵情報に基づいて前記記憶装置から読み出したデータを復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する前記CPU間でデータを通信する通信インタフェースとを備え、

データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする装置。

【請求項10】 少なくとも2つのCPU間のデータ通信を行うCPU間データ通信方法において、

前記CPUが有する複数の固有の鍵情報の中から選択する鍵情報のインデックスを記憶し、

データ送信時は、前記インデックスに従って前記複数の鍵情報の中から鍵情報を選択し、この選択された鍵情報に基づいて前記データを暗号化し、データを一時的に格納する記憶装置の空き領域に前記暗号化されたデータを書き込み、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポイントに格納し、

データ受信時は、前記ライトポイントに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出し、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポイントに格納し、前記読み出したデータを前記インデックスに従って前記複数の鍵情報の中から鍵情報を選択し、この選択された鍵情報に基づいて復号し、

前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出し

アドレスに基づいて前記憶装置の前記空き領域を認識することを特徴とするCPU間データ通信方法。

【請求項11】 少なくとも2つのCPU間のデータ通信を行うCPU間データ通信装置において、前記CPUが有する複数の固有の鍵情報の中から選択する鍵情報のインデックスを記憶する記憶手段と、この記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記記憶装置から読み出したデータを前記記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいて復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する通信インタフェースを備え、データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とするCPU間データ通信装置。

【請求項12】 少なくとも2つのCPUと、前記CPUが有する複数の固有の鍵情報の中から選択する鍵情報のインデックスを記憶する記憶手段と、この記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記記憶装置から読み出したデータを前記記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいて復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する前記CPU間でデータを通信する通信インタフェースとを備え、

データ送信時は、前記暗号化ユニットにてデータを暗号

化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のCPU間でデータ通信する方法および装置に関するものであり、特に、デュアルポートメモリを使用して、複数のCPU間でデータ通信する方法および装置に関するものである。

【0002】

【従来の技術】従来、この種のCPU間データ通信装置は、図8に示すように、第1のCPU1と、第2のCPU2と、第1のCPU1と第2のCPU2の間に介在するリングバッファ構造を有するデュアルポートメモリ5と、第1のCPU1とデュアルポートメモリ5を接続するデータバス7と、第2のCPU2とデュアルポートメモリ5を接続するデータバス9と、第1のCPU1および第2のCPU2の間の状態監視を行うシリアル通信インタフェース10とを備え、同期式や非同期式シリアル通信を行うものであった。

【0003】このように構成された従来のCPU間データ通信装置において、CPU間のデータ通信は、ハンドシェイク通信により行われる。ハンドシェイク通信では、割り込み信号を互いに発信し、相互間の同期をとる。

【0004】予め定義された第1のCPU1と第2のCPU2との通信データ量のデュアルポートメモリ5への書き込みが完了すると、書き込み側から、書き込み完了通知として割り込み信号IRQを発信し、第2のCPU2では、同信号を受信した後、デュアルポートメモリ5からデータを読み出し、読み出しが完了後、読み出し側から、読み出し完了通知として割り込み信号IRQを発信し、以降、第1のCPU1側からの書き込み、第2のCPU2側での読み出しを繰り返す。2つのCPU間での互いの状態監視は、シリアル通信インタフェース10や、汎用ポート（図示無し）を用いて行うことで、CPU間のデータ通信を実現することが可能である。

【0005】

【発明が解決しようとする課題】しかし、このような従来の複数のCPU間の通信方式では、ハンドシェイク型のデータ通信方式であるために、一方が書き込み動作時は、他方からの読み出しを待たなければならないという

問題点や、一方が読み出し動作時は、他方からの書き込みを待たなければならないという問題点があった。

【0006】また、内部バッファをダブルバッファ化して、書き込みと読み出しとを排他的に動作させる方式もあるが、この場合も、切り替えに必要な専用のロジック回路を必要とするという問題点があった。

【0007】本発明はこのような問題を解決するためになされたもので、複数のCPU間の通信において、相手のCPUの動作状態によらず、互いの待ち時間を不要とすることができる優れたCPU間通信方法および装置を提供するものである。

【0008】

【課題を解決するための手段】本発明のCPU間データ通信方法は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信方法において、データ送信時は、データを一時的に格納する記憶装置の空き領域にデータを書き込むとともに、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポイントに格納し、データ受信時は、前記ライトポイントに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出すとともに、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポイントに格納し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴としている。

【0009】これにより、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができることとなる。

【0010】また、本発明のCPU間データ通信装置は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信装置において、データを一時的に格納する記憶装置と、この記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する通信インタフェースを備え、データ送信時は、前記記憶装置の空き領域にデータを書き込むとともに、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出すとともに、前記読み出しアドレスを前記リードポイントに格納し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0011】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることが

できることとなる。

【0012】さらに、本発明の装置は、少なくとも2つのCPUと、データを一時的に格納する記憶装置と、この記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する前記CPU間でデータを通信する通信インタフェースとを備え、データ送信時は、前記記憶装置の空き領域にデータを書き込むとともに、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出すとともに、前記読み出しアドレスを前記リードポイントに格納し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0013】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができることとなる。

【0014】本発明のCPU間データ通信方法は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信方法において、データ送信時は、前記CPUが有する固有の鍵情報に基づいて前記データを暗号化し、データを一時的に格納する記憶装置の空き領域に前記暗号化されたデータを書き込み、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポイントに格納し、データ受信時は、前記ライトポイントに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出し、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポイントに格納し、前記読み出したデータを前記鍵情報に基づいて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴としている。

【0015】これにより、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU内部の固定鍵情報に基づき暗号化し、受け渡すことにより、より高いセキュリティのデータ通信が可能となる。

【0016】また、本発明のCPU間データ通信装置は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信装置において、前記CPUが有する固有の鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイン

10

20

30

40

50



タと、前記記憶装置から読み出したデータを前記鍵情報に基づいて復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポインタとを有する通信インタフェースを備え、データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポインタに格納し、データ受信時は、前記ライトポインタに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポインタに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポインタに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0017】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU内部の固定鍵情報に基づき暗号化し、受け渡すことにより、より高いセキュリティのデータ通信が可能となる。

【0018】さらに、本発明の装置は、少なくとも2つのCPUと、前記CPUが有する固有の鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポインタと、前記鍵情報に基づいて前記記憶装置から読み出したデータを復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポインタとを有する前記CPU間でデータを通信する通信インタフェースとを備え、データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポインタに格納し、データ受信時は、前記ライトポインタに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポインタに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポインタに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0019】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU内部の固定鍵情報に基づき暗号化し、受け渡すことにより、より高いセキュリティのデータ通信が可能となる。

【0020】また、本発明のCPU間データ通信方法は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信方法において、固有の鍵情報を記憶し、データ送信時は、前記鍵情報に基づいて前記データを暗号化し、データを一時的に格納する記憶装置の空き領域に前記暗号化されたデータを書き込み、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポインタに格納し、データ受信時は、前記ライトポインタに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出し、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポインタに格納し、前記読み出したデータを前記鍵情報に基づいて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポインタに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする。

【0021】これにより、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU外部の固定鍵情報に基づいて暗号化して受け渡しでき、さらに鍵情報を機器個別に変更できるので、より高いセキュリティのデータ通信が可能となる。

【0022】さらに、本発明のCPU間データ通信装置は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信装置において、固有の鍵情報を記憶する記憶手段と、前記鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポインタと、前記記憶装置から読み出したデータを前記鍵情報に基づいて復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポインタとを有する通信インタフェースを備え、データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポインタに格納し、データ受信時は、前記ライトポインタに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポインタに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポインタに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0023】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU外部の

固定鍵情報に基づいて暗号化して受け渡しでき、さらに鍵情報を機器個別に変更できるので、より高いセキュリティのデータ通信が可能となる。

【0024】また、本発明の装置は、少なくとも2つのCPUと、固有の鍵情報を記憶する記憶手段と、前記鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記鍵情報に基づいて前記記憶装置から読み出したデータを復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する前記CPU間でデータを通信する通信インタフェースとを備え、データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0025】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU外部の固定鍵情報に基づいて暗号化して受け渡しでき、さらに鍵情報を機器個別に変更できるので、より高いセキュリティのデータ通信が可能となる。

【0026】さらに、本発明のCPU間データ通信方法は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信方法において、前記CPUが有する複数の固有の鍵情報の中から選択する鍵情報のインデックスを記憶し、データ送信時は、前記インデックスに従って前記複数の鍵情報の中から鍵情報を選択し、この選択された鍵情報に基づいて前記データを暗号化し、データを一時的に格納する記憶装置の空き領域に前記暗号化されたデータを書き込み、このデータが書き込まれた前記記憶装置の領域の書き込みアドレスをライトポイントに格納し、データ受信時は、前記ライトポイントに格納された前記書き込みアドレスに基づいて前記記憶装置からデータを読み出し、このデータが読み出された前記記憶装置の領域の読み出しアドレスをリードポイントに格納し、前記読み出したデータを前記インデックスに従って前記複数の鍵情報の中から鍵情報を選択し、この選択された鍵情報に基づいて復号し、前記データ送信時に前記

記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とする。

【0027】これにより、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU内部の複数の固定鍵情報の中から、外部メモリで設定可能なインデックス情報に基づいて鍵情報を選択し、選択された鍵情報に基づいて暗号化して受け渡すことにより、さらに鍵情報を機器個別に変更でき、さらに鍵情報自身のセキュリティを向上し、より高いセキュリティのデータ通信が可能となる。

【0028】また、本発明のCPU間データ通信装置は、少なくとも2つのCPU間のデータ通信を行うCPU間データ通信装置において、前記CPUが有する複数の固有の鍵情報の中から選択する鍵情報のインデックスを記憶する記憶手段と、この記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記記憶装置から読み出したデータを前記記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいて復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する通信インタフェースを備え、データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0029】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU内部の複数の固定鍵情報の中から、外部メモリで設定可能なインデックス情報に基づいて鍵情報を選択し、選択された鍵情報に基づいて暗号化して受け渡すことにより、さらに鍵情報を機器個別に変更でき、さらに鍵情報自身のセ

セキュリティを向上し、より高いセキュリティのデータ通信が可能となる。

【0030】さらに、本発明の装置は、少なくとも2つのCPUと、前記CPUが有する複数の固有の鍵情報の中から選択する鍵情報のインデックスを記憶する記憶手段と、この記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいてデータを暗号化する暗号化ユニットと、この暗号化ユニットで暗号化されたデータを一時的に格納する記憶装置と、前記記憶装置にデータが書き込まれた領域の書き込みアドレスを格納するライトポイントと、前記記憶装置から読み出したデータを前記記憶手段に記憶されたインデックスに従って前記複数の鍵情報の中から鍵情報を選択するとともに、この選択された鍵情報に基づいて復号する復号ユニットと、前記記憶装置からデータが読み出された領域の読み出しアドレスを格納するリードポイントとを有する前記CPU間でデータを通信する通信インタフェースとを備え、データ送信時は、前記暗号化ユニットにてデータを暗号化し、この暗号化ユニットで暗号化されたデータを前記記憶装置の空き領域に書き込み、前記書き込みアドレスを前記ライトポイントに格納し、データ受信時は、前記ライトポイントに格納された書き込みアドレスに基づいて前記記憶装置からデータを読み出し、前記読み出しアドレスを前記リードポイントに格納し、前記読み出したデータを前記復号ユニットにて復号し、前記データ送信時に前記記憶装置に前記データを書き込む前に、前記リードポイントに格納された前記読み出しアドレスに基づいて前記記憶装置の前記空き領域を認識することを特徴とした構成を有している。

【0031】この構成により、記憶装置がフルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU内部の複数の固定鍵情報の中から、外部メモリで設定可能なインデックス情報に基づいて鍵情報を選択し、選択された鍵情報に基づいて暗号化して受け渡すことにより、さらに鍵情報を機器個別に変更でき、さらに鍵情報自身のセキュリティを向上し、より高いセキュリティのデータ通信が可能となる。

#### 【0032】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素は同じ参照記号および符号を用いて示してある。

#### (第1の実施の形態)

【0033】図1は、本発明の第1の実施の形態のCPU間データ通信が可能となる装置を示す概略ブロック図である。図1に示すように、本発明の第1の実施の形態の装置は、第1のCPU11と、第2のCPU13と、この

第1のCPU11と第2のCPU13の間に介在するリングバッファ構造を有するデュアルポートメモリ15と、第1のCPU11とデュアルポートメモリ15を接続するデータバス17と、第2のCPU13とデュアルポートメモリ15を接続するデータバス19とを含み、第1のCPU11および第2のCPU13におけるデュアルポートメモリ15へのデータの書き込みの開始アドレスおよび完了アドレスを示すライトポイント21と、第1のCPU11および第2のCPU13におけるデュアルポートメモリ15からのデータの読み出しの開始アドレスおよび完了アドレスを示すリードポイント23とをさらに設けている。

【0034】本発明の第1の実施の形態の装置において、図2に示すように、各CPUは、外部CPUとの通信を行うために、送信モジュール31と、受信モジュール33とを含む通信インタフェースを具備する。図2は、第1のCPU11の通信インタフェースの機能ブロック図を示している。以下、図2を用いて、第1のCPU11の通信インタフェースの機能について説明する。

【0035】図2(a)に示すように、送信モジュール31において、第1のCPU11が第2のCPU13にデータを送信する場合は、まず、第1のCPU11が、リードポイント23に格納された読み出し開始アドレスおよび完了アドレスを参照し、データを書き込む領域を設定する。ここで、リードポイント23には、以前、第1のCPU11がデュアルポートメモリ15に書き込んだデータのうち、第2のCPU13が既に読み出したデータの範囲が示されている。従って、第1のCPU11は、第2のCPU13が未だ読み出していないデータ範囲を知ることができるので、その範囲を除外した空き領域をデータ書き込み領域として設定すれば良い。

【0036】次いで、第1のCPU11がデュアルポートメモリ15のデータ書き込み領域にデータを書き込むとともに、ライトポイント21に書き込みの開始アドレスおよび完了アドレスを格納する。書き込みが完了すると、第1のCPU11は、書き込み完了割り込み信号（以後、「IRQ」と略す）を出力する。この割り込み信号は、複数のCPU間でハンドシェイク通信を行うためのものである。

【0037】この書き込み完了IRQに応じて、第2のCPU13が、ライトポイント21に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定し、デュアルポートメモリ15から読み出し領域内のデータを読み出すとともに、リードポイント23に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第2のCPU13が、読み出し完了IRQを出力する。

【0038】この読み出し完了IRQに応じて、第1のCPU11が、リードポイント23に格納された読み出し開始アドレスおよび完了アドレスを参照し、データ書

き込み領域を設定する。このようにして、第1のCPU 11から第2のCPU 13へのデータの送信を継続して行うことができる。

【0039】また、図2(b)に示すように、受信モジュール33において、第1のCPU 11が第2のCPU 13からデータを受信する場合は、まず、第1のCPU 11が、第2のCPU 13から発せられた書き込み完了IRQに応じて、ライトポイント21に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定する。さらに、第1のCPU 11が、デュアルポートメモリ15から読み出し領域内のデータを読み出すとともに、リードポイント23に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第1のCPU 11が、読み出し完了IRQを出力する。

【0040】以上のように、本発明の第1の実施の形態のCPU間データ通信装置は、データを一時的に格納するリングバッファからなるデュアルポートメモリ15と、デュアルポートメモリ15にデータが書き込まれた領域の書き込みアドレスを格納するライトポイント21と、デュアルポートメモリ15からデータが読み出された領域の読み出しアドレスを格納するリードポイント23とを有する通信インタフェースを設け、データ送信時は、デュアルポートメモリ15の空き領域にデータを書き込むとともに、書き込みアドレスをライトポイント21に格納し、データ受信時は、ライトポイント21に格納された書き込みアドレスに基づいてデュアルポートメモリ15からデータを読み出すとともに、読み出しアドレスをリードポイント23に格納し、データ送信時にデュアルポートメモリ15にデータを書き込む前に、リードポイント23に格納された読み出しアドレスに基づいてデュアルポートメモリ15の空き領域を認識するので、デュアルポートメモリ15が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができる。

【0041】尚、上記実施の形態では二つのCPUを備えた装置について説明したが、本発明は複数のCPUを備えても同様の効果が得られるものである。

(第2の実施の形態)

【0042】図3および図4は、本発明の第2の実施の形態のCPU間通信方法を示すフローチャートである。図3は、一方のCPUが他方のCPUにデータを送信する場合のデータ送信処理手順の一例を示すフローチャートであり、図4は、一方のCPUが他方のCPUからデータを受信する場合のデータ受信処理手順の一例を示すフローチャートである。ここでは、一方のCPUを図1に示されたCPU間通信装置における第1のCPU 11とし、他方のCPUを第2のCPU 13として説明する。

【0043】図3に示すように、本発明の第2の実施の形態のCPU間通信方法のデータ送信処理において、第1のCPU 11が、第2のCPU 13からの読み出し完了IRQに応じて(ステップS1)、リードポイント23から読み出し開始アドレスおよび完了アドレスを読み出し(ステップS2)、ステップS2で得られた読み出し開始アドレスおよび完了アドレスに基づいてデュアルポートメモリ15へのデータの書き込み領域を設定する(ステップS3)。尚、第1のCPU 11が初めてデータを送信する場合は、ステップS1で、第2のCPU 13からの読み出し完了IRQは検出されないので、ステップS3からスタートするものとする。

【0044】次いで、ライトポイント21に書き込み開始アドレスを格納し(ステップS4)、デュアルポートメモリ15にデータを書き込む(ステップS5)。書き込みが完了したら(ステップS6)、ライトポイント21に書き込み完了アドレスを格納し(ステップS7)、書き込み完了IRQを発生する(ステップS8)。

【0045】図3に示したデータ送信処理において、ステップS4乃至ステップS7の処理順序は、これに限定されるものではなく、例えば、ステップS5の書き込み動作を行った後で、ステップS4およびステップS7のライトポイント21への書き込みアドレスの格納を行っても良い。あるいは先にライトポイント21に書き込みアドレスを格納した後で、データの書き込み動作を行っても良い。

【0046】図4に示すように、本発明の第2の実施の形態のCPU間通信方法のデータ受信処理において、第1のCPU 11が、第2のCPU 13からの書き込み完了IRQに応じて(ステップS11)、ライトポイント21から書き込み開始アドレスおよび完了アドレスを読み出し(ステップS12)、ステップS12で得られた書き込み開始アドレスおよび完了アドレスに基づいてデュアルポートメモリ15からのデータの読み出し領域を設定する(ステップS13)。

【0047】次いで、リードポイント23に読み出し開始アドレスを格納し(ステップS14)、デュアルポートメモリ15からデータを読み出す(ステップS15)。読み出しが完了したら(ステップS16)、リードポイント23に読み出し完了アドレスを格納し(ステップS17)、読み出し完了IRQを発生する(ステップS18)。

【0048】図4に示したデータ送信処理において、ステップS14乃至ステップS17の処理順序は、これに限定されるものではなく、例えば、ステップS15の読み出し動作を行った後で、ステップS14およびステップS17のリードポイント23への読み出しアドレスの格納を行っても良い。あるいは先にリードポイント23に読み出しアドレスを格納した後で、データの読み出し動作を行っても良い。

【0049】以上のように構成されたCPU間データ通信方法の作用について図3および図4を用いて説明する。

【0050】第1のCPU11から第2のCPU13にデータを送信する際、図3に示すように、第1のCPU11において、ステップS2でリードポイント23から読み出し開始アドレスおよび完了アドレスが読み出され、得られた読み出し開始アドレスおよび完了アドレスに基づいてステップS3でデュアルポートメモリ15へのデータ書き込み領域が設定される。次いで、ステップS4でライトポイント21に書き込み開始アドレスが格納されるとともに、続くステップS5でデュアルポートメモリ15にデータが書き込まれる。次いで、データの書き込みが終了すると、ステップS7へ進み、ライトポイント21に書き込み完了アドレスが格納され、ステップS8で書き込み完了IRQが出力される。

【0051】この書き込み完了IRQに応じて、第2のCPU13において、図4に示すデータ受信処理が行われる。第2のCPU13において、書き込み完了IRQを受け取ると、ステップS11からステップS12に進み、ライトポイント21から書き込み開始アドレスおよび完了アドレスが読み出され、得られた書き込み開始アドレスおよび完了アドレスに基づいてステップS13でデュアルポートメモリ15からのデータの読み出し領域が設定される。次いで、ステップS14でリードポイント23に読み出し開始アドレスが格納されるとともに、続くステップS15でデュアルポートメモリ15からデータが読み出される。次いで、データの読み出しが終了すると、ステップS17へ進み、リードポイント23に読み出し完了アドレスが格納され、ステップS18で読み出し完了IRQが出力される。

【0052】さらに、第1のCPU11が第2のCPU13へのデータ送信を繰り返す場合、図3に示すように、第1のCPU11において、ステップS1で上記第2のCPU13から出力された読み出し完了IRQに応じて、ステップS2に進み、リードポイント23から読み出し開始アドレスおよび完了アドレスが読み出され、ステップS3でデュアルポートメモリ15へのデータ書き込み領域が設定される。以後、同様な処理が繰り返される。

【0053】このように、ステップS2でリードポイント23を読み出すことにより、この時点で、第2のCPU13がデュアルポートメモリ15から既に読み出したデータの範囲を知ることができるので、第1のCPU11が、次のデータをデュアルポートメモリ15に書き込む際、未だ読み出していないデータへの上書きを防止することができる。

【0054】以上のように、本発明の第2の実施の形態のCPU間データ通信方法は、データ送信時は、データを一時的に格納するリングバッファからなるデュアルポ

ートメモリ15の空き領域にデータを書き込み（ステップS5）、このデータが書き込まれたデュアルポートメモリ15の領域の書き込みアドレスをライトポイント21に格納し（ステップS4およびステップS7）、データ受信時は、ライトポイント21に格納された書き込みアドレスに基づいてデュアルポートメモリ15からデータを読み出し（ステップS15）、デュアルポートメモリ15からの読み出しアドレスをリードポイント23に格納し（ステップS14およびS17）、データ送信時にデュアルポートメモリ15にデータを書き込む前に、リードポイント23に格納された読み出しアドレスに基づいてデュアルポートメモリ15の空き領域を認識するので、デュアルポートメモリ15が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができる。

（第3の実施の形態）

【0055】図5は、本発明の第3の実施の形態のCPU間データ通信可能な装置の通信インタフェースを示す機能ブロック図である。これは図2に示された上記第1の実施の形態とは、各CPUにおいて、送信モジュール31に暗号化ユニット101を設け、受信モジュール33に復号ユニット103を設けた点が相違している。尚、第1の実施の形態と同様な構成要素は同じ参照記号および符号を用いて示し、詳細な説明は省略する。

【0056】暗号化ユニット101は、送信モジュール31において、CPU内部の固定鍵情報111に基づいて、外部に送信すべきデータを暗号化するものである。

【0057】復号ユニット103は、受信モジュール33において、固定鍵情報111に基づいて、外部から受信したデータを復号するものである。

【0058】以下、図5を用いて、第1のCPU11の通信インタフェースの機能について説明する。

【0059】図5(a)に示すように、送信モジュール31において、第1のCPU11が第2のCPU13にデータを送信する場合は、まず、第1のCPU11が、暗号化ユニット101にて、送信データを鍵情報111に基づいて暗号化する。次いで、リードポイント23に格納された読み出し開始アドレスおよび完了アドレスを参照し、データを書き込む領域を設定する。

【0060】次いで、第1のCPU11がデュアルポートメモリ15のデータ書き込み領域に暗号化されたデータを書き込むとともに、ライトポイント21に書き込みの開始アドレスおよび完了アドレスを格納する。書き込みが完了すると、第1のCPU11は、書き込み完了IRQを出力する。

【0061】この書き込み完了IRQに応じて、第2のCPU13が、ライトポイント21に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定し、デュアルポートメモリ15から

読み出し領域内のデータを読み出すとともに、リードポインタ 23 に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第 2 の CPU 13 は、読み出し完了 IRQ を出力する。復号ユニット 103 にて、読み出されたデータを鍵情報 111 に基づいて復号する。

【0062】この読み出し完了 IRQ に応じて、第 1 の CPU 11 が、リードポインタ 23 に格納された読み出し開始アドレスおよび完了アドレスを参照し、データ書き込み領域を設定する。このようにして、第 1 の CPU 11 から第 2 の CPU 13 へのデータの送信を継続して行うことができる。

【0063】また、図 5 (b) に示すように、受信モジュール 33 において、第 1 の CPU 11 が第 2 の CPU 13 からデータを受信する場合は、まず、第 1 の CPU 11 が、第 2 の CPU 13 から発せられた書き込み完了 IRQ に応じて、ライトポインタ 21 に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定する。さらに、第 1 の CPU 11 が、デュアルポートメモリ 15 から読み出し領域内のデータを読み出すとともに、リードポインタ 23 に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第 1 の CPU 11 が、読み出し完了 IRQ を出力する。復号ユニット 103 にて、読み出されたデータを鍵情報 111 に基づいて復号する。

【0064】以上のように、本発明の第 3 の実施の形態の CPU 間データ通信可能な装置は、第 1 の CPU 11 と、第 2 の CPU 13 と、CPU の固有の鍵情報 111 に基づいてデータを暗号化する暗号化ユニット 101 と、暗号化ユニット 101 で暗号化されたデータを一時的に格納するリングバッファからなるデュアルポートメモリ 15 と、デュアルポートメモリ 15 にデータが書き込まれた領域の書き込みアドレスを格納するライトポインタ 21 と、デュアルポートメモリ 15 から読み出したデータを鍵情報 111 に基づいて復号する復号ユニット 103 と、デュアルポートメモリ 15 からデータが読み出された領域の読み出しアドレスを格納するリードポインタ 23 とを有する通信インタフェースを設け、データ送信時は、暗号化ユニット 101 にてデータを暗号化し、暗号化ユニット 101 で暗号化されたデータをデュアルポートメモリ 15 の空き領域に書き込み、書き込みアドレスをライトポインタ 21 に格納し、データ受信時は、ライトポインタ 21 に格納された書き込みアドレスに基づいてデュアルポートメモリ 15 からデータを読み出し、読み出しアドレスをリードポインタ 23 に格納し、読み出したデータを復号ユニット 103 にて復号し、データ送信時にデュアルポートメモリ 15 にデータを書き込む前に、リードポインタ 23 に格納された読み出しアドレスに基づいてデュアルポートメモリ 15 の空き領域を認識するので、デュアルポートメモリ 15 が、

フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU 間の通信データを CPU 内部の固定鍵情報に基づき暗号化し、受け渡すことにより、より高いセキュリティのデータ通信が可能となる。

(第 4 の実施の形態)

【0065】本発明の第 4 の実施の形態の CPU 間通信方法は、上記第 2 の実施の形態とは、図 3 に示したデータ送信処理のステップ S3 の前に、CPU が有する固有の鍵情報に基づいてデータを暗号化するステップ (図示無し) を設け、図 4 に示したデータ受信処理のステップ S15 の後に、デュアルポートメモリ 15 から読み出したデータを鍵情報に基づいて復号するステップ (図示無し) を設けた点が相違している。尚、第 2 の実施の形態と同様な構成要素は同じ参照記号および符号を用いて示し、詳細な説明は省略する。

【0066】以下、本発明の第 4 の実施の形態の CPU 間データ通信方法の作用を図 3 および図 4 を用いて以下に説明する。

【0067】第 1 の CPU 11 から第 2 の CPU 13 にデータを送信する際、図 3 に示すように、第 1 の CPU 11 において、ステップ S2 でリードポインタ 23 から読み出し開始アドレスおよび完了アドレスが読み出される。次いで、CPU が有する固有の鍵情報に基づいて送信データを暗号化する。ステップ S2 で得られた読み出し開始アドレスおよび完了アドレスに基づいて、ステップ S3 でデュアルポートメモリ 15 へのデータ書き込み領域が設定される。次いで、ステップ S4 でライトポインタ 21 に書き込み開始アドレスが格納されるとともに、続くステップ S5 でデュアルポートメモリ 15 にデータが書き込まれる。次いで、データの書き込みが終了すると、ステップ S7 へ進み、ライトポインタ 21 に書き込み完了アドレスが格納され、ステップ S8 で書き込み完了 IRQ が出力される。

【0068】この書き込み完了 IRQ に応じて、第 2 の CPU 13 において、図 4 に示すデータ受信処理が行われる。第 2 の CPU 13 において、書き込み完了 IRQ を受け取ると、ステップ S11 からステップ S12 に進み、ライトポインタ 21 から書き込み開始アドレスおよび完了アドレスが読み出され、得られた書き込み開始アドレスおよび完了アドレスに基づいてステップ S13 でデュアルポートメモリ 15 からのデータの読み出し領域が設定される。次いで、ステップ S14 でリードポインタ 23 に読み出し開始アドレスが格納されるとともに、続くステップ S15 でデュアルポートメモリ 15 からデータが読み出され、この読み出されたデータが鍵情報に基づいて復号される。ステップ S17 で、リードポインタ 23 に読み出し完了アドレスが格納され、ステップ S18 で読み出し完了 IRQ が出力される。



【0069】以上のように、本発明の第4の実施の形態のCPU間データ通信方法は、データ送信時は、CPUが有する固有の鍵情報に基づいてデータを暗号化し、データを一時的に格納するリングバッファからなるデュアルポートメモリ15の空き領域に暗号化されたデータを書き込み（ステップS5）、このデータが書き込まれたデュアルポートメモリ15の領域の書き込みアドレスをライトポインタ21に格納し（ステップS4およびステップS7）、データ受信時は、ライトポインタ21に格納された書き込みアドレスに基づいてデュアルポートメモリ15からデータを読み出し（ステップS15）、デュアルポートメモリ15からの読み出しアドレスをリードポインタ23に格納し（ステップS14およびS17）、読み出したデータを鍵情報に基づいて復号し、データ送信時にデュアルポートメモリ15にデータを書き込む前に、リードポインタ23に格納された読み出しアドレスに基づいてデュアルポートメモリ15の空き領域を認識するので、デュアルポートメモリ15が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU間の通信データをCPU内部の固定鍵情報に基づき暗号化し、受け渡すことにより、より高いセキュリティのデータ通信が可能となる。（第5の実施の形態）

【0070】図6は、本発明の第5の実施の形態のCPU間データ通信可能な装置の通信インタフェースを示す機能ブロック図である。これは図5に示された上記第3の実施の形態とは、各CPUにおいて、送信モジュール31の暗号化ユニット101および受信モジュール33の復号ユニット103が参照する鍵情報111を記憶するメモリ211を設けた点が相違している。尚、第3の実施の形態と同様な構成要素は同じ参照記号および符号を用いて示し、詳細な説明は省略する。

【0071】本実施の形態において、送信モジュール31の暗号化ユニット101は、メモリ211に記憶された固定鍵情報111に基づいて、外部に送信すべきデータを暗号化するものである。

【0072】受信モジュール33の復号ユニット103は、メモリ211に記憶された固定鍵情報111に基づいて、外部から受信したデータを復号するものである。

【0073】以下、図6を用いて、第1のCPU11の通信インタフェースの機能について説明する。

【0074】図6(a)に示すように、送信モジュール31において、第1のCPU11が第2のCPU13にデータを送信する場合は、まず、第1のCPU11が、暗号化ユニット101にて、メモリ211に記憶された固定鍵情報111に基づいて送信データを暗号化する。次いで、リードポインタ23に格納された読み出し開始アドレスおよび完了アドレスを参照し、データを書き込む領域を設定する。

【0075】次いで、第1のCPU11がデュアルポートメモリ15のデータ書き込み領域に暗号化されたデータを書き込むとともに、ライトポインタ21に書き込みの開始アドレスおよび完了アドレスを格納する。書き込みが完了すると、第1のCPU11は、書き込み完了IRQを出力する。

【0076】この書き込み完了IRQに応じて、第2のCPU13が、ライトポインタ21に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定し、デュアルポートメモリ15から読み出し領域内のデータを読み出すとともに、リードポインタ23に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第2のCPU13は、読み出し完了IRQを出力する。復号ユニット103にて、読み出されたデータを鍵情報111に基づいて復号する。

【0077】この読み出し完了IRQに応じて、第1のCPU11が、リードポインタ23に格納された読み出し開始アドレスおよび完了アドレスを参照し、データ書き込み領域を設定する。このようにして、第1のCPU11から第2のCPU13へのデータの送信を継続して行うことができる。

【0078】また、図6(b)に示すように、受信モジュール33において、第1のCPU11が第2のCPU13からデータを受信する場合は、まず、第1のCPU11が、第2のCPU13から発せられた書き込み完了IRQに応じて、ライトポインタ21に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定する。さらに、第1のCPU11が、デュアルポートメモリ15から読み出し領域内のデータを読み出すとともに、リードポインタ23に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第1のCPU11が、読み出し完了IRQを出力する。復号ユニット103にて、読み出されたデータを、メモリ211に記憶された鍵情報111に基づいて復号する。

【0079】以上のように、本発明の第5の実施の形態のCPU間データ通信可能な装置は、第1のCPU11と、第2のCPU13と、固有の鍵情報111を記憶するメモリ211と、鍵情報111に基づいてデータを暗号化する暗号化ユニット101と、暗号化ユニット101で暗号化されたデータを一時的に格納するリングバッファからなるデュアルポートメモリ15と、デュアルポートメモリ15にデータが書き込まれた領域の書き込みアドレスを格納するライトポインタ21と、デュアルポートメモリ15から読み出したデータをメモリ211に記憶された鍵情報111に基づいて復号する復号ユニット103と、デュアルポートメモリ15からデータが読み出された領域の読み出しアドレスを格納するリードポインタ23とを有する通信インタフェースを設け、デー

タ送信時は、暗号化ユニット 101 にてデータを暗号化し、暗号化ユニット 101 で暗号化されたデータをデュアルポートメモリ 15 の空き領域に書き込み、書き込みアドレスをライトポインタ 21 に格納し、データ受信時は、ライトポインタ 21 に格納された書き込みアドレスに基づいてデュアルポートメモリ 15 からデータを読み出し、読み出しアドレスをリードポインタ 23 に格納し、読み出したデータを復号ユニット 103 にて復号し、データ送信時にデュアルポートメモリ 15 にデータを書き込む前に、リードポインタ 23 に格納された読み出しアドレスに基づいてデュアルポートメモリ 15 の空き領域を認識するので、デュアルポートメモリ 15 が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU 間の通信データを CPU 外部の固定鍵情報に基づいて暗号化して受け渡しでき、さらに鍵情報を機器個別に変更できるので、より高いセキュリティのデータ通信が可能となる。

#### (第 6 の実施の形態)

【0080】本発明の第 6 の実施の形態の CPU 間通信方法は、上記第 2 の実施の形態とは、図 3 に示したデータ送信処理のステップ S3 の前に、メモリ 211 に記憶された固有の鍵情報に基づいてデータを暗号化するステップ（図示無し）を設け、図 4 に示したデータ受信処理のステップ S15 の後に、デュアルポートメモリ 15 から読み出したデータをメモリ 211 に記憶された鍵情報に基づいて復号するステップ（図示無し）を設けた点が相違している。尚、第 2 の実施の形態と同様な構成要素は同じ参照記号および符号を用いて示し、詳細な説明は省略する。

【0081】以下、本発明の第 6 の実施の形態の CPU 間データ通信方法の作用を図 3 および図 4 を用いて以下に説明する。

【0082】第 1 の CPU11 から第 2 の CPU13 にデータを送信する際、図 3 に示すように、第 1 の CPU11 において、ステップ S2 でリードポインタ 23 から読み出し開始アドレスおよび完了アドレスが読み出される。次いで、メモリ 211 に記憶された固有の鍵情報に基づいて送信データを暗号化する。ステップ S2 で得られた読み出し開始アドレスおよび完了アドレスに基づいて、ステップ S3 でデュアルポートメモリ 15 へのデータ書き込み領域が設定される。次いで、ステップ S4 でライトポインタ 21 に書き込み開始アドレスが格納されるとともに、続くステップ S5 でデュアルポートメモリ 15 にデータが書き込まれる。次いで、データの書き込みが終了すると、ステップ S7 へ進み、ライトポインタ 21 に書き込み完了アドレスが格納され、ステップ S8 で書き込み完了 IRQ が出力される。

【0083】この書き込み完了 IRQ に応じて、第 2 の CPU13 において、図 4 に示すデータ受信処理が行わ

れる。第 2 の CPU13 において、書き込み完了 IRQ を受け取ると、ステップ S11 からステップ S12 に進み、ライトポインタ 21 から書き込み開始アドレスおよび完了アドレスが読み出され、得られた書き込み開始アドレスおよび完了アドレスに基づいてステップ S13 でデュアルポートメモリ 15 からのデータの読み出し領域が設定される。次いで、ステップ S14 でリードポインタ 23 に読み出し開始アドレスが格納されるとともに、続くステップ S15 でデュアルポートメモリ 15 からデータが読み出され、この読み出されたデータが、メモリ 211 に記憶された固有の鍵情報に基づいて復号される。ステップ S17 で、リードポインタ 23 に読み出し完了アドレスが格納され、ステップ S18 で読み出し完了 IRQ が出力される。

【0084】以上のように、本発明の第 6 の実施の形態の CPU 間データ通信方法は、固有の鍵情報をメモリ 211 に記憶し、データ送信時は、メモリ 211 に記憶された鍵情報に基づいてデータを暗号化し、データを一時的に格納するリングバッファからなるデュアルポートメモリ 15 の空き領域に暗号化されたデータを書き込み（ステップ S5）、このデータが書き込まれたデュアルポートメモリ 15 の領域の書き込みアドレスをライトポインタ 21 に格納し（ステップ S4 およびステップ S7）、データ受信時は、ライトポインタ 21 に格納された書き込みアドレスに基づいてデュアルポートメモリ 15 からデータを読み出し（ステップ S15）、デュアルポートメモリ 15 からの読み出しアドレスをリードポインタ 23 に格納し（ステップ S14 および S17）、読み出したデータをメモリ 211 に記憶された鍵情報に基づいて復号し、データ送信時にデュアルポートメモリ 15 にデータを書き込む前に、リードポインタ 23 に格納された読み出しアドレスに基づいてデュアルポートメモリ 15 の空き領域を認識するので、デュアルポートメモリ 15 が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができるとともに、CPU 間の通信データを CPU 外部の固定鍵情報に基づいて暗号化して受け渡しでき、さらに鍵情報を機器個別に変更できるので、より高いセキュリティのデータ通信が可能となる。

#### (第 7 の実施の形態)

【0085】図 7 は、本発明の第 7 の実施の形態の CPU 間データ通信可能な装置の通信インタフェースを示す機能ブロック図である。これは図 5 に示された上記第 3 の実施の形態とは、各 CPU が複数の固有鍵情報 311 を有し、さらに送信モジュール 31 および受信モジュール 33 に、複数の鍵情報 311 の中から選択する鍵情報のインデックスを記憶するインデックスメモリ 313 を設けるとともに、暗号化ユニット 101 および復号ユニット 103 に替えて暗号化ユニット 301 および復号ユ



ニット 303 を設けた点が相違している。尚、第 3 の実施の形態と同様な構成要素は同じ参照記号および符号を用いて示し、詳細な説明は省略する。

【0086】本実施の形態において、送信モジュール 31 の暗号化ユニット 301 は、インデックスメモリ 313 に記憶されたインデックスに基づいて複数の鍵情報 311 の中から鍵情報を選択し、この選択された鍵情報に基づいて外部に送信すべきデータを暗号化するものである。

【0087】受信モジュール 33 の復号ユニット 303 は、インデックスメモリ 313 に記憶されたインデックスに基づいて複数の鍵情報 311 の中から鍵情報を選択し、この選択された鍵情報に基づいて外部から受信したデータを復号するものである。

【0088】以下、図 7 を用いて、第 1 の CPU 11 の通信インタフェースの機能について説明する。

【0089】図 7 (a) に示すように、送信モジュール 31 において、第 1 の CPU 11 が第 2 の CPU 13 にデータを送信する場合は、まず、第 1 の CPU 11 が、暗号化ユニット 301 にて、インデックスメモリ 313 に記憶されたインデックスに基づいて複数の鍵情報 311 の中から鍵情報を選択し、この選択された鍵情報に基づいて送信データを暗号化する。次いで、リードポインタ 23 に格納された読み出し開始アドレスおよび完了アドレスを参照し、データを書き込む領域を設定する。

【0090】次いで、第 1 の CPU 11 がデュアルポートメモリ 15 のデータ書き込み領域に暗号化されたデータを書き込むとともに、ライトポインタ 21 に書き込みの開始アドレスおよび完了アドレスを格納する。書き込みが完了すると、第 1 の CPU 11 は、書き込み完了 IRQ を出力する。

【0091】この書き込み完了 IRQ に応じて、第 2 の CPU 13 が、ライトポインタ 21 に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定し、デュアルポートメモリ 15 から読み出し領域内のデータを読み出すとともに、リードポインタ 23 に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第 2 の CPU 13 は、読み出し完了 IRQ を出力する。復号ユニット 303 にて、読み出されたデータを、インデックスメモリ 313 に記憶されたインデックスに基づいて複数の鍵情報 311 の中から鍵情報を選択し、この選択された鍵情報に基づいて復号する。

【0092】この読み出し完了 IRQ に応じて、第 1 の CPU 11 が、リードポインタ 23 に格納された読み出し開始アドレスおよび完了アドレスを参照し、データ書き込み領域を設定する。このようにして、第 1 の CPU 11 から第 2 の CPU 13 へのデータの送信を継続して行うことができる。

【0093】また、図 7 (b) に示すように、受信モジ

ュール 33 において、第 1 の CPU 11 が第 2 の CPU 13 からデータを受信する場合は、まず、第 1 の CPU 11 が、第 2 の CPU 13 から発せられた書き込み完了 IRQ に応じて、ライトポインタ 21 に格納された書き込み開始アドレスおよび完了アドレスを参照し、データを読み出す領域を設定する。さらに、第 1 の CPU 11 が、デュアルポートメモリ 15 から読み出し領域内のデータを読み出すとともに、リードポインタ 23 に読み出しの開始アドレスおよび完了アドレスを格納する。読み出しが完了すると、第 1 の CPU 11 が、読み出し完了 IRQ を出力する。復号ユニット 303 にて、読み出されたデータを、インデックスメモリ 313 に記憶されたインデックスに基づいて複数の鍵情報 311 の中から鍵情報を選択し、この選択された鍵情報に基づいて復号する。

【0094】以上のように、本発明の第 7 の実施の形態の CPU 間データ通信可能な装置は、第 1 の CPU 11 と、第 2 の CPU 13 と、CPU が有する複数の固有の鍵情報 311 の中から選択する鍵情報のインデックスを記憶するインデックスメモリ 313 と、このインデックスメモリ 313 に記憶されたインデックスに従って複数の鍵情報 311 の中から鍵情報を選択するとともに、この選択された鍵情報に基づいてデータを暗号化する暗号化ユニット 301 と、暗号化ユニット 301 で暗号化されたデータを一時的に格納するリングバッファからなるデュアルポートメモリ 15 と、デュアルポートメモリ 15 にデータが書き込まれた領域の書き込みアドレスを格納するライトポインタ 21 と、インデックスメモリ 313 に記憶されたインデックスに従って複数の鍵情報 311 の中から鍵情報を選択するとともに、この選択された鍵情報に基づいて復号する復号ユニット 303 と、デュアルポートメモリ 15 からデータが読み出された領域の読み出しアドレスを格納するリードポインタ 23 とを有する通信インタフェースを設け、データ送信時は、暗号化ユニット 301 にてデータを暗号化し、暗号化ユニット 301 で暗号化されたデータをデュアルポートメモリ 15 の空き領域に書き込み、書き込みアドレスをライトポインタ 21 に格納し、データ受信時は、ライトポインタ 21 に格納された書き込みアドレスに基づいてデュアルポートメモリ 15 からデータを読み出し、読み出しアドレスをリードポインタ 23 に格納し、読み出したデータを復号ユニット 303 にて復号し、データ送信時にデュアルポートメモリ 15 にデータを書き込む前に、リードポインタ 23 に格納された読み出しアドレスに基づいてデュアルポートメモリ 15 の空き領域を認識するので、デュアルポートメモリ 15 が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができる。とともに、CPU 間の通信データを CPU 内部の複数の固定鍵情報の中から、外部メモリで設定可能なインデッ

クス情報に基づいて鍵情報を選択し、選択された鍵情報に基づいて暗号化して受け渡すことにより、さらに鍵情報を機器個別に変更でき、さらに鍵情報自身のセキュリティを向上し、より高いセキュリティのデータ通信が可能となる。

(第8の実施の形態)

【0095】本発明の第8の実施の形態のCPU間通信方法は、上記第2の実施の形態とは、図3に示したデータ送信処理のステップS3の前に、インデックスメモリ313に記憶されたインデックスに基づいて複数の鍵情報311の中から鍵情報を選択し、この選択された鍵情報に基づいてデータを暗号化するステップ(図示無し)を設け、図4に示したデータ受信処理のステップS15の後に、インデックスメモリ313に記憶されたインデックスに基づいて複数の鍵情報311の中から鍵情報を選択し、デュアルポートメモリ15から読み出したデータを選択された鍵情報に基づいて復号するステップ(図示無し)を設けた点が相違している。尚、第2の実施の形態と同様な構成要素は同じ参照記号および符号を用いて示し、詳細な説明は省略する。

【0096】以下、本発明の第8の実施の形態のCPU間データ通信方法の作用を図3および図4を用いて以下に説明する。

【0097】第1のCPU11から第2のCPU13にデータを送信する際、図3に示すように、第1のCPU11において、ステップS2でリードポインタ23から読み出し開始アドレスおよび完了アドレスが読み出される。次いで、インデックスメモリ313に記憶されたインデックスに基づいて複数の鍵情報311の中から鍵情報を選択し、この選択された鍵情報に基づいて送信データを暗号化する。ステップS2で得られた読み出し開始アドレスおよび完了アドレスに基づいて、ステップS3でデュアルポートメモリ15へのデータ書き込み領域が設定される。次いで、ステップS4でライトポインタ21に書き込み開始アドレスが格納されるとともに、続くステップS5でデュアルポートメモリ15にデータが書き込まれる。次いで、データの書き込みが終了すると、ステップS7へ進み、ライトポインタ21に書き込み完了アドレスが格納され、ステップS8で書き込み完了IRQが出力される。

【0098】この書き込み完了IRQに応じて、第2のCPU13において、図4に示すデータ受信処理が行われる。第2のCPU13において、書き込み完了IRQを受け取ると、ステップS11からステップS12に進み、ライトポインタ21から書き込み開始アドレスおよび完了アドレスが読み出され、得られた書き込み開始アドレスおよび完了アドレスに基づいてステップS13でデュアルポートメモリ15からのデータの読み出し領域が設定される。次いで、ステップS14でリードポインタ23に読み出し開始アドレスが格納されるとともに、

続くステップS15でデュアルポートメモリ15からデータが読み出され、この読み出されたデータが、インデックスメモリ313に記憶されたインデックスに基づいて複数の鍵情報311の中から鍵情報を選択し、この選択された鍵情報に基づいて復号される。ステップS17で、リードポインタ23に読み出し完了アドレスが格納され、ステップS18で読み出し完了IRQが出力される。

【0099】以上のように、本発明の第8の実施の形態のCPU間データ通信方法は、CPUが有する複数の固有の鍵情報311の中から選択する鍵情報のインデックスをインデックスメモリ313に記憶し、データ送信時は、インデックスに従って複数の鍵情報311の中から鍵情報を選択し、この選択された鍵情報に基づいてデータを暗号化し、データを一時的に格納するリングバッファからなるデュアルポートメモリ15の空き領域に暗号化されたデータを書き込み(ステップS5)、このデータが書き込まれたデュアルポートメモリ15の領域の書き込みアドレスをライトポインタ21に格納し(ステップS4およびステップS7)、データ受信時は、ライトポインタ21に格納された書き込みアドレスに基づいてデュアルポートメモリ15からデータを読み出し(ステップS15)、デュアルポートメモリ15からの読み出しアドレスをリードポインタ23に格納し(ステップS14およびS17)、インデックスに従って複数の鍵情報311の中から鍵情報を選択し、読み出したデータを選択された鍵情報に基づいて復号し、データ送信時にデュアルポートメモリ15にデータを書き込む前に、リードポインタ23に格納された読み出しアドレスに基づいてデュアルポートメモリ15の空き領域を認識するので、デュアルポートメモリ15が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができる。とともに、CPU間の通信データをCPU内部の複数の固定鍵情報の中から、外部メモリで設定可能なインデックス情報に基づいて鍵情報を選択し、選択された鍵情報に基づいて暗号化して受け渡すことにより、さらに鍵情報を機器個別に変更でき、さらに鍵情報自身のセキュリティを向上し、より高いセキュリティのデータ通信が可能となる。

【0100】

【発明の効果】以上説明したように、本発明は少なくとも2つのCPU間のデータ通信を行うCPU間データ通信方法において、データ送信時は、データを一時的に格納する記憶装置の空き領域にデータを書き込むとともに、このデータが書き込まれた記憶装置の領域の書き込みアドレスをライトポインタに格納し、データ受信時は、ライトポインタに格納された書き込みアドレスに基づいて記憶装置からデータを読み出すとともに、このデータが読み出された記憶装置の領域の読み出しアドレス

をリードポインタに格納し、データ送信時に記憶装置に前記データを書き込む前に、リードポインタに格納された読み出しアドレスに基づいて記憶装置の空き領域を認識することにより、記憶装置が、フルにならない範囲で、書き込みと読み出しを互いに非同期にアクセスすることができ、互いの待ち時間を不要とすることができる。とともに、CPU間の通信データをCPU内部の固定鍵情報に基づき暗号化し、受け渡すことにより、より高いセキュリティのデータ通信が可能となるという優れた効果を有するCPU間データ通信方法を提供することができ

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態のCPU間データ通信装置を示す概略ブロック図

【図2】図1に示されたCPU間データ通信装置の通信インタフェースを示す機能ブロック図

【図3】本発明の第2の実施の形態のCPU間データ通信方法のデータ送信処理手順の一例を示すフローチャート

【図4】本発明の第2の実施の形態のCPU間データ通信方法のデータ受信処理手順の一例を示すフローチャート

【図5】本発明の第3の実施の形態のCPU間データ通信が可能な装置の通信インタフェースを示す機能ブロッ

ク図

【図6】本発明の第5の実施の形態のCPU間データ通信が可能な装置の通信インタフェースを示す機能ブロック図

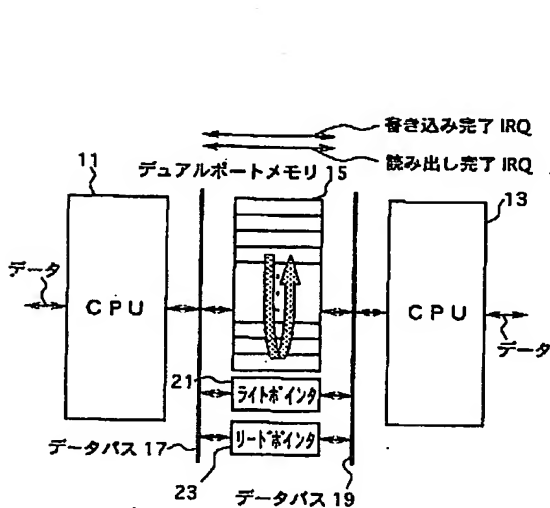
【図7】本発明の第7の実施の形態のCPU間データ通信が可能な装置の通信インタフェースを示す機能ブロック図

【図8】従来のCPU間データ通信装置を示す概略ブロック図

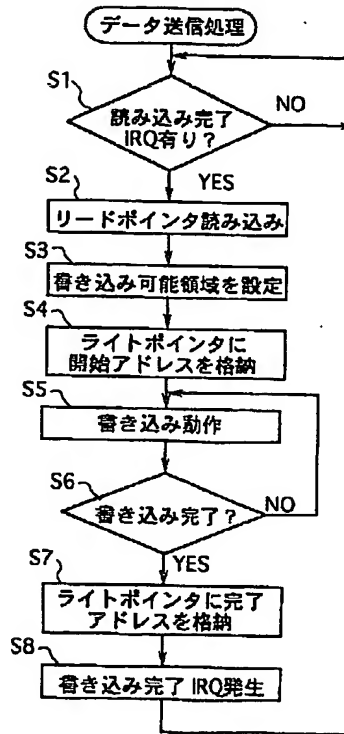
#### 【符号の説明】

- 11 第1のCPU
- 13 第2のCPU
- 15 デュアルポートメモリ（記憶装置）
- 17, 19 データバス
- 21 ライトポインタ
- 23 リードポインタ
- 31 送信モジュール（通信インタフェース）
- 33 受信モジュール（通信インタフェース）
- 101, 301 暗号化ユニット
- 103, 303 復号ユニット
- 111 鍵情報
- 211 メモリ（記憶手段）
- 311 複数の鍵情報
- 313 インデックスメモリ（記憶手段）

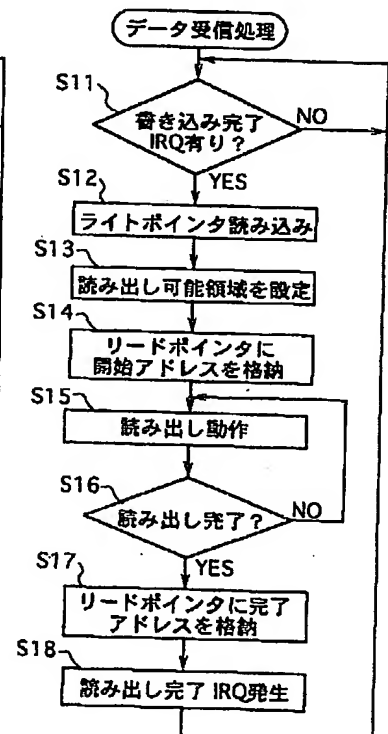
【図1】



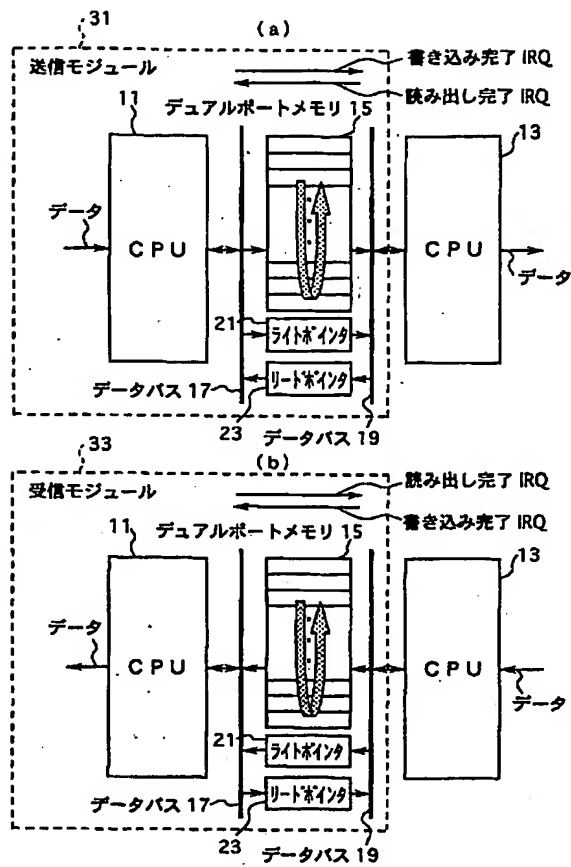
【図3】



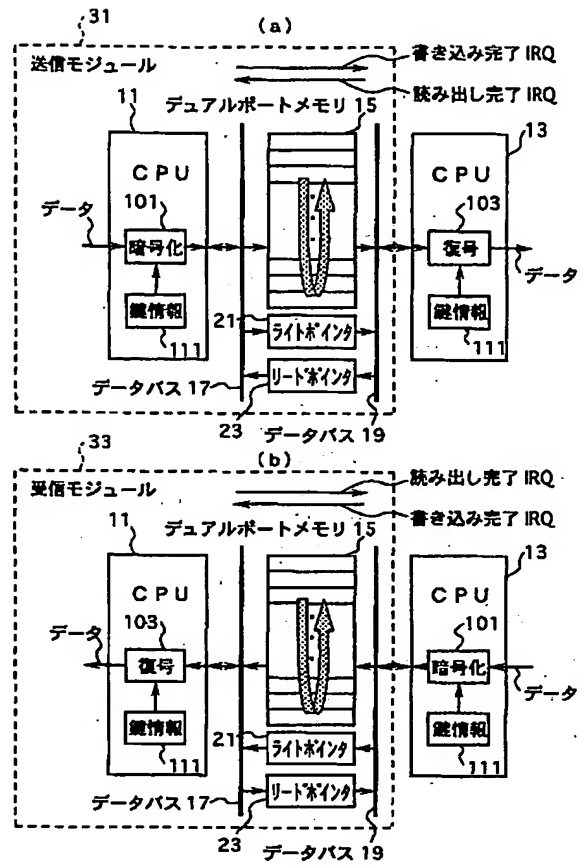
【図4】



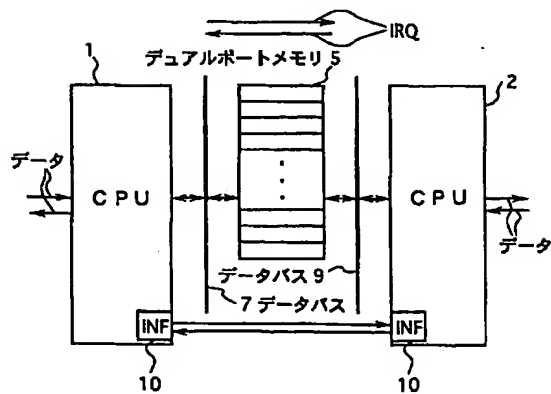
【図 2】



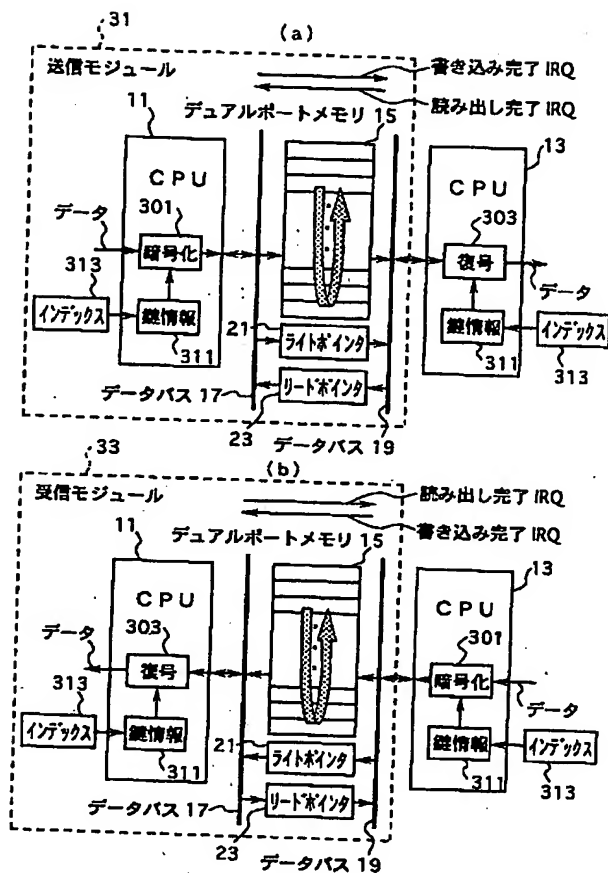
【図 5】



【図 8】



【図 7】



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] In the CPU-to-CPU data communication approach of performing data communication of at least two CPU-to-CPU at the time of data transmission While writing data in the free area of a store which stores data temporarily The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception While reading data from said store based on said write-in address stored in said light pointer The read-out address of the field of said storage with which this data was read is stored in a lead pointer. The CPU-to-CPU data communication approach characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before writing said data in said store at the time of said data transmission.

[Claim 2] In the CPU-to-CPU data communication unit which performs data communication of at least two CPU-to-CPU The store which stores data temporarily, and the light pointer which stores the write-in address of the field where data were written in this store, It has the communication interface which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission While writing data in the free area of said store, said write-in address is stored in said light pointer. At the time of data reception While reading data from said store based on the write-in address stored in said light pointer Before storing said read-out address in said lead pointer and writing said data in said store at the time of said data transmission The CPU-to-CPU data communication unit characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[Claim 3] At least two CPUs and the storage which stores data temporarily, The light pointer which stores the write-in address of the field where data were written in this store, It has the communication interface which communicates data by said CPU-to-CPU which has the lead pointer which stores the read-out address of the field where data were read from said store. While writing data in the free area of said store at the time of data transmission, said write-in address is stored in said light pointer. At the time of data reception While reading data from said store based on the write-in address stored in said light pointer Equipment characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before storing said read-out address in said lead pointer and writing said data in said store at the time of said data transmission.

[Claim 4] In the CPU-to-CPU data communication approach of performing data communication of at least two CPU-to-CPU at the time of data transmission Said data are enciphered based on the key information on the proper which said CPU has. Said enciphered data are written in the free area of a store which stores data temporarily. The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception Based on said write-in address stored in said light pointer, data are read from said store. The read-out address of the field of said storage with which this data was read is stored in a lead pointer. Before decoding said read data based on said key information and writing said data in said store at the time of said data transmission The CPU-to-CPU data communication approach characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[Claim 5] In the CPU-to-CPU data communication unit which performs data communication of at least

two CPU-to-CPU The encryption unit which enciphers data based on the key information on the proper which said CPU has, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission The data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. The CPU-to-CPU data communication unit characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before writing said data in said store at the time of said data transmission.

[Claim 6] At least two CPUs and the encryption unit which enciphers data based on the key information on the proper which said CPU has, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which communicates data by said CPU-to-CPU which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission, the data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Equipment characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before writing said data in said store at the time of said data transmission.

[Claim 7] The key information on a proper is memorized in the CPU-to-CPU data communication approach of performing data communication of at least two CPU-to-CPU. At the time of data transmission Based on said key information, encipher said data, and said enciphered data are written in the free area of a store which stores data temporarily. The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception Based on said write-in address stored in said light pointer, data are read from said store. The read-out address of the field of said storage with which this data was read is stored in a lead pointer. Before decoding said read data based on said key information and writing said data in said store at the time of said data transmission The CPU-to-CPU data communication approach characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[Claim 8] In the CPU-to-CPU data communication unit which performs data communication of at least two CPU-to-CPU A storage means to memorize the key information on a proper, and the encryption unit which enciphers data based on said key information, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission The data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. The CPU-to-CPU data communication unit characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before writing said data in said store at the time of said data transmission.

[Claim 9] At least two CPUs, a storage means to memorize the key information on a proper, and the encryption unit that enciphers data based on said key information, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which communicates data by said CPU-to-CPU which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission, the data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Equipment characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before writing said data in said store at the time of said data transmission.

[Claim 10] In the CPU-to-CPU data communication approach of performing data communication of at least two CPU-to-CPU The index of the key information chosen from the key information on two or more props which said CPU has is memorized. At the time of data transmission According to said index, key information is chosen from said two or more key information. Based on this selected key information, encipher said data, and said enciphered data are written in the free area of a store which stores data temporarily. The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception Based on said write-in address stored in said light pointer, data are read from said store. The read-out address of the field of said storage with which this data was read is stored in a lead pointer. According to said index, key information is chosen for said read data from said two or more key information. The CPU-to-CPU data communication approach characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before decoding based on this selected key information and writing said data in said store at the time of said data transmission.

[Claim 11] In the CPU-to-CPU data communication unit which performs data communication of at least two CPU-to-CPU While choosing key information from said two or more key information according to the index memorized by a storage means to memorize the index of the key information chosen from the key information on two or more props which said CPU has, and this storage means The encryption unit which enciphers data based on this selected key information, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, While choosing key information from said two or more key information according to the index memorized by said storage means in the data read from said store It has the communication interface which has the decode unit decoded based on this selected key information, and the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission, the data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. The CPU-to-CPU data communication unit characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before writing said data in said store at the time of said data transmission.

[Claim 12] A storage means to memorize the index of the key information chosen from the key information on two or more props which at least two CPUs and said CPU have, While choosing key information from said two or more key information according to the index memorized by this storage means The encryption unit which enciphers data based on this selected key information, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, While choosing key information from said two or more key information according to the index memorized by said storage means in the data



read from said store It has the communication interface which communicates data by said CPU-to-CPU which has the decode unit decoded based on this selected key information; and the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission The data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Equipment characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer before writing said data in said store at the time of said data transmission.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the approach and equipment which carry out data communication by two or more CPU-to-CPU, especially, dual port memory is used for this invention, and it relates to the approach and equipment which carry out data communication by two or more CPU-to-CPU.

[0002]

[Description of the Prior Art] As this kind of CPU-to-CPU data communication unit is conventionally shown in drawing 8, 1st CPU1, The dual port memory 5 which has the ring buffer structure which intervenes between 2nd CPU2, and 1st CPU1 and 2nd CPU2, The data bus 7 which connects the 1st CPU1 and dual port memory 5, It was what is equipped with the data bus 9 which connects the 2nd CPU2 and dual port memory 5, and the serial communication interface 10 which performs house keeping between 1st CPU1 and 2nd CPU2, and performs synchronous system and asynchronous serial communication.

[0003] Thus, data communication of CPU-to-CPU is performed by handshake communication link in the constituted conventional CPU-to-CPU data communication unit. In a handshake communication link, an interrupt signal is sent mutually and a mutual synchronization is taken.

[0004] If the writing to the dual port memory 5 of the communication link amount of data of the 1st CPU1 and 2nd CPU2 which were defined beforehand is completed From a writing side, interrupt signal IRQ is sent as a notice of write-in completion. In 2nd CPU2 After receiving this signal, data are read from dual port memory 5, from the read-out side after completing read-out, interrupt signal IRQ dispatch is carried out as a notice of read-out completion, and read-out by the side of the writing from the 1st CPU1 side and 2nd CPU2 is repeated henceforth. The mutual house keeping in two CPU-to-CPU is the serial communication interface 10 and carrying out using a general-purpose port (with no illustration), and can realize data communication of CPU-to-CPU.

[0005]

[Problem(s) to be Solved by the Invention] However, in the communication mode of such two or more conventional CPU-to-CPU, since it was the data communication system of a handshake mold, there were a trouble that one side must wait for read-out from another side at the time of write-in actuation, and a trouble that one side had to wait for the writing from another side at the time of read-out actuation.

[0006] Moreover, the internal buffer was double-buffer-ized, and although there was also a method which operates writing and read-out exclusively, there was a trouble of needing the logical circuit of dedication required for a change also in this case.

[0007] This invention was made in order to solve such a problem, it is not based on the operating state of a partner's CPU in the communication link of two or more CPU-to-CPU, but offers the outstanding CPU-to-CPU correspondence procedure and the equipment which can make the mutual latency time unnecessary.

[0008]

[Means for Solving the Problem] In the CPU-to-CPU data communication approach that the CPU-to-

CPU data communication approach of this invention performs data communication of at least two CPU-to-CPU at the time of data transmission While writing data in the free area of a store which stores data temporarily The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception While reading data from said store based on said write-in address stored in said light pointer The read-out address of the field of said storage with which this data was read is stored in a lead pointer. Before writing said data in said store at the time of said data transmission, it is characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0009] By this, in the range in which storage does not become full, writing and read-out can be accessed mutually asynchronous and the mutual latency time can be made unnecessary.

[0010] Moreover, the CPU-to-CPU data communication unit of this invention is set to the CPU-to-CPU data communication unit which performs data communication of at least two CPU-to-CPU. The store which stores data temporarily, and the light pointer which stores the write-in address of the field where data were written in this store, It has the communication interface which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission While writing data in the free area of said store, said write-in address is stored in said light pointer. At the time of data reception While reading data from said store based on the write-in address stored in said light pointer Before storing said read-out address in said lead pointer and writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0011] By this configuration, in the range which does not become full, storage can access writing and read-out mutually asynchronous, and can make the mutual latency time unnecessary.

[0012] Furthermore, the storage with which the equipment of this invention stores at least two CPUs and data temporarily, The light pointer which stores the write-in address of the field where data were written in this store, It has the communication interface which communicates data by said CPU-to-CPU which has the lead pointer which stores the read-out address of the field where data were read from said store. While writing data in the free area of said store at the time of data transmission, said write-in address is stored in said light pointer. At the time of data reception While reading data from said store based on the write-in address stored in said light pointer Before storing said read-out address in said lead pointer and writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0013] By this configuration, in the range which does not become full, storage can access writing and read-out mutually asynchronous, and can make the mutual latency time unnecessary.

[0014] In the CPU-to-CPU data communication approach that the CPU-to-CPU data communication approach of this invention performs data communication of at least two CPU-to-CPU at the time of data transmission Said data are enciphered based on the key information on the proper which said CPU has. Said enciphered data are written in the free area of a store which stores data temporarily. The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception Based on said write-in address stored in said light pointer, data are read from said store. The read-out address of the field of said storage with which this data was read is stored in a lead pointer. Before decoding said read data based on said key information and writing said data in said store at the time of said data transmission, it is characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0015] The data communication of higher security becomes possible by enciphering and delivering the commo data of CPU-to-CPU by this, in the range in which storage does not become full, based on the fixed key information inside CPU, while being able to access writing and read-out mutually asynchronous and being able to make the mutual latency time unnecessary.

[0016] Moreover, the CPU-to-CPU data communication unit of this invention is set to the CPU-to-CPU data communication unit which performs data communication of at least two CPU-to-CPU. The

encryption unit which enciphers data based on the key information on the proper which said CPU has, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission The data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Before writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0017] While storage can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary by this configuration in the range which does not become full, the data communication of higher security becomes possible by enciphering and delivering the commo data of CPU-to-CPU based on the fixed key information inside CPU.

[0018] Furthermore, the encryption unit which enciphers data based on the key information on a proper that at least two CPUs and said CPU have equipment of this invention, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which communicates data by said CPU-to-CPU which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission, the data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Before writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0019] While storage can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary by this configuration in the range which does not become full, the data communication of higher security becomes possible by enciphering and delivering the commo data of CPU-to-CPU based on the fixed key information inside CPU.

[0020] The CPU-to-CPU data communication approach of this invention memorizes the key information on a proper in the CPU-to-CPU data communication approach of performing data communication of at least two CPU-to-CPU. Moreover, at the time of data transmission Based on said key information, encipher said data, and said enciphered data are written in the free area of a store which stores data temporarily. The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception Based on said write-in address stored in said light pointer, data are read from said store. The read-out address of the field of said storage with which this data was read is stored in a lead pointer. Before decoding said read data based on said key information and writing said data in said store at the time of said data transmission, it is characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0021] Since the commo data of CPU-to-CPU can be enciphered and delivered based on the fixed key information on the CPU exterior and key information can be further changed according to a device individual by this in the range in which storage does not become full while being able to access writing and read-out mutually asynchronous and being able to make the mutual latency time unnecessary, the data communication of higher security becomes possible.

[0022] Furthermore, the CPU-to-CPU data communication unit of this invention In the CPU-to-CPU data communication unit which performs data communication of at least two CPU-to-CPU A storage

means to memorize the key information on a proper, and the encryption unit which enciphers data based on said key information, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission The data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Before writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0023] Since the commo data of CPU-to-CPU can be enciphered and delivered based on the fixed key information on the CPU exterior and key information can be further changed according to a device individual while storage can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary by this configuration in the range which does not become full, the data communication of higher security becomes possible.

[0024] Moreover, a storage means by which the equipment of this invention remembers the key information on a proper to be at least two CPUs, The encryption unit which enciphers data based on said key information, and the storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, The decode unit which decodes the data read from said store based on said key information, It has the communication interface which communicates data by said CPU-to-CPU which has the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission, the data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Before writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0025] Since the commo data of CPU-to-CPU can be enciphered and delivered based on the fixed key information on the CPU exterior and key information can be further changed according to a device individual while storage can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary by this configuration in the range which does not become full, the data communication of higher security becomes possible.

[0026] Furthermore, the CPU-to-CPU data communication approach of this invention In the CPU-to-CPU data communication approach of performing data communication of at least two CPU-to-CPU The index of the key information chosen from the key information on two or more proper which said CPU has is memorized. At the time of data transmission According to said index, key information is chosen from said two or more key information. Based on this selected key information, encipher said data, and said enciphered data are written in the free area of a store which stores data temporarily. The write-in address of the field of said store with which this data was written in is stored in a light pointer. At the time of data reception Based on said write-in address stored in said light pointer, data are read from said store. The read-out address of the field of said storage with which this data was read is stored in a lead pointer. According to said index, key information is chosen for said read data from said two or more key information. Before decoding based on this selected key information and writing said data in said store at the time of said data transmission, it is characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0027] While being able to access writing and read-out mutually asynchronous and being able to make

the mutual latency time unnecessary by this in the range in which storage does not become full By choosing key information, and enciphering and delivering the commo data of CPU-to-CPU based on the selected key information based on the index information which can be set up by external memory, out of two or more fixed key information inside CPU Furthermore, key information can be changed according to a device individual, own security of key information is improved further, and the data communication of higher security becomes possible.

[0028] Moreover, the CPU-to-CPU data communication unit of this invention is set to the CPU-to-CPU data communication unit which performs data communication of at least two CPU-to-CPU. While choosing key information from said two or more key information according to the index memorized by a storage means to memorize the index of the key information chosen from the key information on two or more proper which said CPU has, and this storage means The encryption unit which enciphers data based on this selected key information, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, While choosing key information from said two or more key information according to the index memorized by said storage means in the data read from said store It has the communication interface which has the decode unit decoded based on this selected key information, and the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission, the data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Before writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0029] While storage can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary by this configuration in the range which does not become full By choosing key information, and enciphering and delivering the commo data of CPU-to-CPU based on the selected key information based on the index information which can be set up by external memory, out of two or more fixed key information inside CPU Furthermore, key information can be changed according to a device individual, own security of key information is improved further, and the data communication of higher security becomes possible.

[0030] Furthermore, a storage means to memorize the index of the key information chosen from the key information on two or more proper that at least two CPUs and said CPU have equipment of this invention, While choosing key information from said two or more key information according to the index memorized by this storage means The encryption unit which enciphers data based on this selected key information, The storage which stores temporarily the data enciphered in this encryption unit, The light pointer which stores the write-in address of the field where data were written in said store, While choosing key information from said two or more key information according to the index memorized by said storage means in the data read from said store It has the communication interface which communicates data by said CPU-to-CPU which has the decode unit decoded based on this selected key information, and the lead pointer which stores the read-out address of the field where data were read from said store. At the time of data transmission The data which enciphered data in said encryption unit and were enciphered in this encryption unit are written in the free area of said storage. Said write-in address is stored in said light pointer. At the time of data reception Based on the write-in address stored in said light pointer, data are read from said store. Store said read-out address in said lead pointer, and said read data are decoded in said decode unit. Before writing said data in said store at the time of said data transmission, it has the configuration characterized by recognizing said free area of said store based on said read-out address stored in said lead pointer.

[0031] While storage can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary by this configuration in the range which does not become full By choosing key

information, and enciphering and delivering the commo data of CPU-to-CPU based on the selected key information based on the index information which can be set up by external memory, out of two or more fixed key information inside CPU. Furthermore, key information can be changed according to a device individual, own security of key information is improved further, and the data communication of higher security becomes possible.

[0032]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained using a drawing. In addition, in all drawings, the same component is shown using the same reference designator and the same sign.

(Gestalt of the 1st operation)

[0033] Drawing 1 is the outline block diagram showing the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 1st of this invention is possible. As shown in drawing 1, the equipment of the gestalt of operation of the 1st of this invention. The dual port memory 15 which has the ring buffer structure which intervenes between 1st CPU11, 2nd CPU13, and this 1st CPU11 and 2nd CPU13, The data bus 17 which connects the 1st CPU11 and dual port memory 15, The data bus 19 which connects the 2nd CPU13 and dual port memory 15 is included. The light pointer 21 in which the starting address and the completion address of the writing of data to the dual port memory 15 in the 1st CPU11 and 2nd CPU13 are shown, The lead pointer 23 in which the starting address and the completion address of read-out of data from the dual port memory 15 in the 1st CPU11 and 2nd CPU13 are shown is formed further.

[0034] In the equipment of the gestalt of operation of the 1st of this invention, as shown in drawing 2, each CPU possesses the communication interface containing the transmitting module 31 and the receiving module 33, in order to perform the communication link with Exterior CPU. Drawing 2 shows the functional block diagram of the communication interface of 1st CPU11. Hereafter, the function of the communication interface of 1st CPU11 is explained using drawing 2.

[0035] As shown in drawing 2 (a), when 1st CPU11 transmits data to 2nd CPU13 in the transmitting module 31, 1st CPU11 first sets up the field which was stored in the lead pointer 23 and which reads and writes in data with reference to a starting address and the completion address. Here, the range of the data which 2nd CPU13 already read among the data which 1st CPU11 wrote in dual port memory 15 is before shown in the lead pointer 23. Therefore, since 1st CPU11 can know the data range which 2nd CPU13 has not yet read, it should just set up the free area which excepted the range as a data write-in field.

[0036] Subsequently, while 1st CPU11 writes data in the data write-in field of dual port memory 15, the starting address and the completion address of writing are stored in the light pointer 21. If writing is completed, 1st CPU11 will output a write-in completion interrupt signal (it abbreviates to "IRQ" henceforth). This interrupt signal is for performing a handshake communication link by two or more CPU-to-CPU.

[0037] While 2nd CPU13 sets up the field which was stored in the light pointer 21 and which writes in and reads data with reference to a starting address and the completion address, reads from dual port memory 15 and reads the data in a field according to this write-in completion IRQ, the starting address and the completion address of read-out are stored in the lead pointer 23. If read-out is completed, 2nd CPU13 will output the read-out completion IRQ.

[0038] According to this read-out completion IRQ, 1st CPU11 was stored in the lead pointer 23, and reads, and a data write-in field is set up with reference to a starting address and the completion address. Thus, transmission of the data from 1st CPU11 to 2nd CPU13 can be performed continuously.

[0039] Moreover, as shown in drawing 2 (b), when 1st CPU11 receives data from 2nd CPU13 in the receiving module 33, 1st CPU11 first sets up the field which was emitted from 2nd CPU13, which wrote in and was stored in the light pointer 21 according to Completion IRQ and which writes in and reads data with reference to a starting address and the completion address. Furthermore, while 1st CPU11 reads from dual port memory 15 and reads the data in a field, the starting address and the completion address



of read-out are stored in the lead pointer 23. If read-out is completed, 1st CPU11 will output the read-out completion IRQ.

[0040] As mentioned above, the CPU-to-CPU data communication unit of the gestalt of operation of the 1st of this invention The dual port memory 15 which consists of a ring buffer which stores data temporarily, The light pointer 21 which stores the write-in address of the field where data were written in dual port memory 15, The communication interface which has the lead pointer 23 which stores the read-out address of the field where data were read from dual port memory 15 is prepared. At the time of data transmission While writing data in the free area of dual port memory 15, the write-in address is stored in the light pointer 21. At the time of data reception While reading data from dual port memory 15 based on the write-in address stored in the light pointer 21 Before storing the read-out address in the lead pointer 23 and writing data in dual port memory 15 at the time of data transmission Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address In the range which does not become full, dual port memory 15 can access writing and read-out mutually asynchronous, and can make the mutual latency time unnecessary.

[0041] In addition, although the gestalt of the above-mentioned implementation explained equipment equipped with two CPUs, the same effectiveness is acquired even if this invention is equipped with two or more CPUs.

(Gestalt of the 2nd operation)

[0042] Drawing 3 and drawing 4 are flow charts which show the CPU-to-CPU correspondence procedure of the gestalt of operation of the 2nd of this invention. Drawing 3 is a flow chart which shows an example of data transmitting procedure in case one CPU transmits data to CPU of another side, and drawing 4 is a flow chart which shows an example of a data reception procedure in case one CPU receives data from CPU of another side. Here, one CPU is set to 1st CPU11 in the CPU-to-CPU communication device shown in drawing 1 , and CPU of another side is explained as 2nd CPU13.

[0043] As shown in drawing 3 , it sets to data transmitting processing of the CPU-to-CPU correspondence procedure of the gestalt of operation of the 2nd of this invention. 1st CPU11 responds to the read-out completion IRQ from 2nd CPU13 (step S1). It reads from the lead pointer 23, a starting address and the completion address are read (step S2), it obtained and reads at step S2, and the write-in field of the data to dual port memory 15 is set up based on a starting address and the completion address (step S3). In addition, since it is step S1 and the read-out completion IRQ from 2nd CPU13 is not detected when 1st CPU11 transmits data for the first time, it shall start from step S3.

[0044] Subsequently, it writes in the light pointer 21, and a starting address is stored (step S4) and data are written in dual port memory 15 (step S5). If writing is completed (step S6), it will write in the light pointer 21, the completion address will be stored (step S7), and the write-in completion IRQ will be generated (step S8).

[0045] In the data transmitting processing shown in drawing 3 , after step S4 thru/or the processing sequence of step S7 are not limited to this and performs [ for example, ] write-in actuation of step S5, it may store the write-in address to step S4 and the light pointer 21 of step S7. Or after writing in the light pointer 21 previously and storing the address, write-in actuation of data may be performed.

[0046] As shown in drawing 4 , it sets to the data reception of the CPU-to-CPU correspondence procedure of the gestalt of operation of the 2nd of this invention. 1st CPU11 responds to the write-in completion IRQ from 2nd CPU13 (step S11). Write in from the light pointer 21 and a starting address and the completion address are read (step S12). Based on the write-in starting address and the completion address which were obtained at step S12, the read-out field of the data from dual port memory 15 is set up (step S13).

[0047] Subsequently, it reads to the lead pointer 23, and a starting address is stored (step S14) and data are read from dual port memory 15 (step S15). If read-out is completed (step S16), it will read to the lead pointer 23, the completion address will be stored (step S17), and the read-out completion IRQ will be generated (step S18).

[0048] In the data transmitting processing shown in drawing 4 , after the processing sequence of step



S14 thru/or step S17 is not limited to this and performs [ for example, ] read-out actuation of step S15, it may store the read-out address to the lead pointer 23 of step S14 and step S17. Or after reading to the lead pointer 23 previously and storing the address, read-out actuation of data may be performed. [0049] An operation of the CPU-to-CPU data communication approach constituted as mentioned above is explained using drawing 3 and drawing 4 .

[0050] In case data are transmitted to 2nd CPU13 from 1st CPU11, as shown in drawing 3 , in 1st CPU11, it reads from the lead pointer 23 at step S2, a starting address and the completion address are read, it obtained and reads, and the data write-in field to dual port memory 15 is set up at step S3 based on a starting address and the completion address. Subsequently, while writing in the light pointer 21 by step S4 and storing a starting address, data are written in dual port memory 15 at continuing step S5. Subsequently, after the writing of data is completed, it progresses to step S7 and writes in the light pointer 21, and the completion address is stored, it writes in at step S8, and Completion IRQ is outputted.

[0051] According to this write-in completion IRQ, data reception shown in drawing 4 is performed in 2nd CPU13. In 2nd CPU13, if the write-in completion IRQ is received, it progresses to step S12 from step S11, and it will write in from the light pointer 21, a starting address and the completion address will be read, and the read-out field of the data from dual port memory 15 will be set up at step S13 based on the write-in starting address and the completion address which were obtained. Subsequently, while reading to the lead pointer 23 at step S14 and storing a starting address, data are read from dual port memory 15 at continuing step S15. Subsequently, after read-out of data is completed, it progresses to step S17 and reads to the lead pointer 23, and the completion address is stored, it reads at step S18, and Completion IRQ is outputted.

[0052] Furthermore, when 1st CPU11 repeats the data transmission to 2nd CPU13, as shown in drawing 3 In 1st CPU11, it was outputted from the 2nd above CPU 13, read at step S1, and it responds to Completion IRQ. It progresses to step S2, and it reads from the lead pointer 23, a starting address and the completion address are read, and the data write-in field to dual port memory 15 is set up at step S3. Henceforth, the same processing is repeated.

[0053] Thus, since the range of the data which 2nd CPU13 already read from dual port memory 15 at this time can be known by reading the lead pointer 23 at step S2, in case 1st CPU11 writes the following data in dual port memory 15, the overwrite to the data which have not yet been read can be prevented.

[0054] As mentioned above, the CPU-to-CPU data communication approach of the gestalt operation of the 2nd of this invention At the time of data transmission, data are written in the free area of the dual port memory 15 which consists of a ring buffer which stores data temporarily (step S5). The write-in address of the field of dual port memory 15 where this data was written in is stored in the light pointer 21 (step S4 and step S7). At the time of data reception Based on the write-in address stored in the light pointer 21, data are read from dual port memory 15 (step S15). The read-out address from dual port memory 15 is stored in the lead pointer 23 (steps S14 and S17). Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address before writing data in dual port memory 15 at the time of data transmission In the range which does not become full, dual port memory 15 can access writing and read-out mutually asynchronous, and can make the mutual latency time unnecessary.

(Gestalt of the 3rd operation)

[0055] Drawing 5 is the functional block diagram showing the communication interface of the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 3rd of this invention is possible. In each CPU, the encryption unit 101 is formed in the transmitting module 31, and the point of having formed the decode unit 103 in the receiving module 33 is different from the gestalt of implementation of the above 1st this was indicated to be to drawing 2 . In addition, the same component as the gestalt of the 1st operation is shown using the same reference designator and the same sign, and detailed explanation is omitted.

[0056] The encryption unit 101 enciphers the data which should be transmitted outside in the

transmitting module 31 based on the fixed key information 111 inside CPU.

[0057] The decode unit 103 decodes the data received from the outside in the receiving module 33 based on the fixed key information 111.

[0058] Hereafter, the function of the communication interface of 1st CPU11 is explained using drawing 5.

[0059] As shown in drawing 5 (a), when 1st CPU11 transmits data to 2nd CPU13, in the transmitting module 31, 1st CPU11 enciphers transmit data in the encryption unit 101 first based on the key information 111. Subsequently, the field which was stored in the lead pointer 23 and which reads and writes in data with reference to a starting address and the completion address is set up.

[0060] Subsequently, while 1st CPU11 writes in the data enciphered by the data write-in field of dual port memory 15, the starting address and the completion address of writing are stored in the light pointer 21. If writing is completed, 1st CPU11 will output the write-in completion IRQ.

[0061] While 2nd CPU13 sets up the field which was stored in the light pointer 21 and which writes in and reads data with reference to a starting address and the completion address, reads from dual port memory 15 and reads the data in a field according to this write-in completion IRQ, the starting address and the completion address of read-out are stored in the lead pointer 23. If read-out is completed, 2nd CPU13 will output the read-out completion IRQ. In the decode unit 103, the read data are decoded based on the key information 111.

[0062] According to this read-out completion IRQ, 1st CPU11 was stored in the lead pointer 23, and reads, and a data write-in field is set up with reference to a starting address and the completion address. Thus, transmission of the data from 1st CPU11 to 2nd CPU13 can be performed continuously.

[0063] Moreover, as shown in drawing 5 (b), when 1st CPU11 receives data from 2nd CPU13 in the receiving module 33, 1st CPU11 first sets up the field which was emitted from 2nd CPU13, which wrote in and was stored in the light pointer 21 according to Completion IRQ and which writes in and reads data with reference to a starting address and the completion address. Furthermore, while 1st CPU11 reads from dual port memory 15 and reads the data in a field, the starting address and the completion address of read-out are stored in the lead pointer 23. If read-out is completed, 1st CPU11 will output the read-out completion IRQ. In the decode unit 103, the read data are decoded based on the key information 111.

[0064] As mentioned above, the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 3rd of this invention is possible The encryption unit 101 which enciphers data based on the key information 111 on the proper of 1st CPU11, and the 2nd CPU13 and CPU, The dual port memory 15 which consists of a ring buffer which stores temporarily the data enciphered in the encryption unit 101, The light pointer 21 which stores the write-in address of the field where data were written in dual port memory 15, The decode unit 103 which decodes the data read from dual port memory 15 based on the key information 111, The communication interface which has the lead pointer 23 which stores the read-out address of the field where data were read from dual port memory 15 is prepared. At the time of data transmission The data which enciphered data in the encryption unit 101 and were enciphered in the encryption unit 101 are written in the free area of dual port memory 15. The write-in address is stored in the light pointer 21. At the time of data reception Based on the write-in address stored in the light pointer 21, data are read from dual port memory 15. Store the read-out address in the lead pointer 23, and the read data are decoded in the decode unit 103. Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address before writing data in dual port memory 15 at the time of data transmission While dual port memory 15 can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary in the range which does not become full The data communication of higher security becomes possible by enciphering and delivering the commo data of CPU-to-CPU based on the fixed key information inside CPU.

(Gestalt of the 4th operation)

[0065] The CPU-to-CPU correspondence procedure of the gestalt of operation of the 4th of this invention Before step S3 of the data transmitting processing indicated to be the gestalt of

implementation of the above 2nd to drawing 3 The step (with no illustration) which enciphers data based on the key information on the proper which CPU has is prepared. The point of having prepared the step (with no illustration) which decodes the data read from dual port memory 15 based on key information after step S15 of the data reception shown in drawing 4 is different. In addition, the same component as the gestalt of the 2nd operation is shown using the same reference designator and the same sign, and detailed explanation is omitted.

[0066] Hereafter, an operation of the CPU-to-CPU data communication approach of the gestalt operation of the 4th of this invention is explained below using drawing 3 and drawing 4.

[0067] In case data are transmitted to 2nd CPU13 from 1st CPU11, as shown in drawing 3, in 1st CPU11, it reads from the lead pointer 23 at step S2, and a starting address and the completion address are read. Subsequently, transmit data is enciphered based on the key information on the proper which CPU has. It obtained and reads at step S2, and the data write-in field to dual port memory 15 is set up at step S3 based on a starting address and the completion address. Subsequently, while writing in the light pointer 21 by step S4 and storing a starting address, data are written in dual port memory 15 at continuing step S5. Subsequently, after the writing of data is completed, it progresses to step S7 and writes in the light pointer 21, and the completion address is stored, it writes in at step S8, and Completion IRQ is outputted.

[0068] According to this write-in completion IRQ, data reception shown in drawing 4 is performed in 2nd CPU13. In 2nd CPU13, if the write-in completion IRQ is received, it progresses to step S12 from step S11, and it will write in from the light pointer 21, a starting address and the completion address will be read, and the read-out field of the data from dual port memory 15 will be set up at step S13 based on the write-in starting address and the completion address which were obtained. Subsequently, while reading to the lead pointer 23 at step S14 and storing a starting address, data are read from dual port memory 15 at continuing step S15, and this read data is decoded based on key information. At step S17, it reads to the lead pointer 23, and the completion address is stored, it reads at step S18, and Completion IRQ is outputted.

[0069] As mentioned above, the CPU-to-CPU data communication approach of the gestalt operation of the 4th of this invention At the time of data transmission, data are enciphered based on the key information on the proper which CPU has. The data enciphered by the free area of the dual port memory 15 which consists of a ring buffer which stores data temporarily are written in (step S5). The write-in address of the field of dual port memory 15 where this data was written in is stored in the light pointer 21 (step S4 and step S7). At the time of data reception Based on the write-in address stored in the light pointer 21, data are read from dual port memory 15 (step S15). The read-out address from dual port memory 15 is stored in the lead pointer 23 (steps S14 and S17). Before decoding the read data based on key information and writing data in dual port memory 15 at the time of data transmission Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address While dual port memory 15 can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary in the range which does not become full The data communication of higher security becomes possible by enciphering and delivering the commo data of CPU-to-CPU based on the fixed key information inside CPU.

(Gestalt of the 5th operation)

[0070] Drawing 6 is the functional block diagram showing the communication interface of the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 5th of this invention is possible. In each CPU, the point of having formed the memory 211 which memorizes the key information 111 which the encryption unit 101 of the transmitting module 31 and the decode unit 103 of the receiving module 33 refer to is different from the gestalt of implementation of the above 3rd this was indicated to be to drawing 5. In addition, the same component as the gestalt of the 3rd operation is shown using the same reference designator and the same sign, and detailed explanation is omitted.

[0071] In the gestalt of this operation, the encryption unit 101 of the transmitting module 31 enciphers the data which should be transmitted outside based on the fixed key information 111 memorized by

memory 211.

[0072] The decode unit 103 of the receiving module 33 decodes the data received from the outside based on the fixed key information 111 memorized by memory 211.

[0073] Hereafter, the function of the communication interface of 1st CPU11 is explained using drawing 6.

[0074] As shown in drawing 6 (a), when 1st CPU11 transmits data to 2nd CPU13 in the transmitting module 31, 1st CPU11 enciphers transmit data in the encryption unit 101 first based on the fixed key information 111 memorized by memory 211. Subsequently, the field which was stored in the lead pointer 23 and which reads and writes in data with reference to a starting address and the completion address is set up.

[0075] Subsequently, while 1st CPU11 writes in the data enciphered by the data write-in field of dual port memory 15, the starting address and the completion address of writing are stored in the light pointer 21. If writing is completed, 1st CPU11 will output the write-in completion IRQ.

[0076] While 2nd CPU13 sets up the field which was stored in the light pointer 21 and which writes in and reads data with reference to a starting address and the completion address, reads from dual port memory 15 and reads the data in a field according to this write-in completion IRQ, the starting address and the completion address of read-out are stored in the lead pointer 23. If read-out is completed, 2nd CPU13 will output the read-out completion IRQ. In the decode unit 103, the read data are decoded based on the key information 111.

[0077] According to this read-out completion IRQ, 1st CPU11 was stored in the lead pointer 23, and reads, and a data write-in field is set up with reference to a starting address and the completion address. Thus, transmission of the data from 1st CPU11 to 2nd CPU13 can be performed continuously.

[0078] Moreover, as shown in drawing 6 (b), when 1st CPU11 receives data from 2nd CPU13 in the receiving module 33, 1st CPU11 first sets up the field which was emitted from 2nd CPU13, which wrote in and was stored in the light pointer 21 according to Completion IRQ and which writes in and reads data with reference to a starting address and the completion address. Furthermore, while 1st CPU11 reads from dual port memory 15 and reads the data in a field, the starting address and the completion address of read-out are stored in the lead pointer 23. If read-out is completed, 1st CPU11 will output the read-out completion IRQ. The data read in the decode unit 103 are decoded based on the key information 111 memorized by memory 211.

[0079] As mentioned above, the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 5th of this invention is possible 1st CPU11, 2nd CPU13, and the memory 211 that memorizes the key information 111 on a proper, The encryption unit 101 which enciphers data based on the key information 111, The dual port memory 15 which consists of a ring buffer which stores temporarily the data enciphered in the encryption unit 101, The light pointer 21 which stores the write-in address of the field where data were written in dual port memory 15, The decode unit 103 which decodes the data read from dual port memory 15 based on the key information 111 memorized by memory 211, The communication interface which has the lead pointer 23 which stores the read-out address of the field where data were read from dual port memory 15 is prepared. At the time of data transmission The data which enciphered data in the encryption unit 101 and were enciphered in the encryption unit 101 are written in the free area of dual port memory 15. The write-in address is stored in the light pointer 21. At the time of data reception Based on the write-in address stored in the light pointer 21, data are read from dual port memory 15. Store the read-out address in the lead pointer 23, and the read data are decoded in the decode unit 103. Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address before writing data in dual port memory 15 at the time of data transmission While dual port memory 15 can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary in the range which does not become full Since the commo data of CPU-to-CPU can be enciphered and delivered based on the fixed key information on the CPU exterior and key information can be further changed according to a device individual, the data communication of higher security becomes possible.

(Gestalt of the 6th operation)

[0080] The CPU-to-CPU correspondence procedure of the gestalt of operation of the 6th of this invention Before step S3 of the data transmitting processing indicated to be the gestalt of implementation of the above 2nd to drawing 3 The step (with no illustration) which enciphers data based on the key information on the proper memorized by memory 211 is prepared. The point of having prepared the step (with no illustration) which decodes the data read from dual port memory 15 after step S15 of the data reception shown in drawing 4 based on the key information memorized by memory 211 is different. In addition, the same component as the gestalt of the 2nd operation is shown using the same reference designator and the same sign, and detailed explanation is omitted.

[0081] Hereafter, an operation of the CPU-to-CPU data communication approach of the gestalt operation of the 6th of this invention is explained below using drawing 3 and drawing 4.

[0082] In case data are transmitted to 2nd CPU13 from 1st CPU11, as shown in drawing 3, in 1st CPU11, it reads from the lead pointer 23 at step S2, and a starting address and the completion address are read. Subsequently, transmit data is enciphered based on the key information on the proper memorized by memory 211. It obtained and reads at step S2, and the data write-in field to dual port memory 15 is set up at step S3 based on a starting address and the completion address. Subsequently, while writing in the light pointer 21 by step S4 and storing a starting address, data are written in dual port memory 15 at continuing step S5. Subsequently, after the writing of data is completed, it progresses to step S7 and writes in the light pointer 21, and the completion address is stored, it writes in at step S8, and Completion IRQ is outputted.

[0083] According to this write-in completion IRQ, data reception shown in drawing 4 is performed in 2nd CPU13. In 2nd CPU13, if the write-in completion IRQ is received, it progresses to step S12 from step S11, and it will write in from the light pointer 21, a starting address and the completion address will be read, and the read-out field of the data from dual port memory 15 will be set up at step S13 based on the write-in starting address and the completion address which were obtained. Subsequently, while reading to the lead pointer 23 at step S14 and storing a starting address, data are read from dual port memory 15 at continuing step S15, and this read data is decoded based on the key information on the proper memorized by memory 211. At step S17, it reads to the lead pointer 23, and the completion address is stored, it reads at step S18, and Completion IRQ is outputted.

[0084] As mentioned above, the CPU-to-CPU data communication approach of the gestalt operation of the 6th of this invention The key information on a proper is memorized in memory 211. At the time of data transmission The data which enciphered data based on the key information memorized by memory 211, and were enciphered by the free area of the dual port memory 15 which consists of a ring buffer which stores data temporarily are written in (step S5). The write-in address of the field of dual port memory 15 where this data was written in is stored in the light pointer 21 (step S4 and step S7). At the time of data reception Based on the write-in address stored in the light pointer 21, data are read from dual port memory 15 (step S15). The read-out address from dual port memory 15 is stored in the lead pointer 23 (steps S14 and S17). The read data are decoded based on the key information memorized by memory 211. Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address before writing data in dual port memory 15 at the time of data transmission While dual port memory 15 can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary in the range which does not become full Since the commo data of CPU-to-CPU can be enciphered and delivered based on the fixed key information on the CPU exterior and key information can be further changed according to a device individual, the data communication of higher security becomes possible.

(Gestalt of the 7th operation)

[0085] Drawing 7 is the functional block diagram showing the communication interface of the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 7th of this invention is possible. The point of each CPU having had two or more proper key information 311, having changed to the encryption unit 101 and the decode unit 103 while forming the index memory 313 which memorizes

the index of the key information further chosen as the transmitting module 31 and the receiving module 33 from two or more key information 311, and having formed the encryption unit 301 and the decode unit 303 is different from the gestalt of implementation of the above 3rd this was indicated to be to drawing 5 . In addition, the same component as the gestalt of the 3rd operation is shown using the same reference designator and the same sign, and detailed explanation is omitted.

[0086] In the gestalt of this operation, the encryption unit 301 of the transmitting module 31 chooses key information from two or more key information 311 based on the index memorized by the index memory 313, and enciphers the data which should be transmitted outside based on this selected key information.

[0087] The decode unit 303 of the receiving module 33 chooses key information from two or more key information 311 based on the index memorized by the index memory 313, and decodes the data received from the outside based on this selected key information.

[0088] Hereafter, the function of the communication interface of 1st CPU11 is explained using drawing 7 .

[0089] As shown in drawing 7 (a), when 1st CPU11 transmits data to 2nd CPU13 in the transmitting module 31, first, in the encryption unit 301, 1st CPU11 chooses key information from two or more key information 311 based on the index memorized by the index memory 313, and enciphers transmit data based on this selected key information. Subsequently, the field which was stored in the lead pointer 23 and which reads and writes in data with reference to a starting address and the completion address is set up.

[0090] Subsequently, while 1st CPU11 writes in the data enciphered by the data write-in field of dual port memory 15, the starting address and the completion address of writing are stored in the light pointer 21. If writing is completed, 1st CPU11 will output the write-in completion IRQ.

[0091] While 2nd CPU13 sets up the field which was stored in the light pointer 21 and which writes in and reads data with reference to a starting address and the completion address, reads from dual port memory 15 and reads the data in a field according to this write-in completion IRQ, the starting address and the completion address of read-out are stored in the lead pointer 23. If read-out is completed, 2nd CPU13 will output the read-out completion IRQ. Based on the index memorized by the index memory 313 in the data read in the decode unit 303, key information is chosen from two or more key information 311, and it decodes based on this selected key information.

[0092] According to this read-out completion IRQ, 1st CPU11 was stored in the lead pointer 23, and reads, and a data write-in field is set up with reference to a starting address and the completion address. Thus, transmission of the data from 1st CPU11 to 2nd CPU13 can be performed continuously.

[0093] Moreover, as shown in drawing 7 (b), when 1st CPU11 receives data from 2nd CPU13 in the receiving module 33, 1st CPU11 first sets up the field which was emitted from 2nd CPU13, which wrote in and was stored in the light pointer 21 according to Completion IRQ and which writes in and reads data with reference to a starting address and the completion address. Furthermore, while 1st CPU11 reads from dual port memory 15 and reads the data in a field, the starting address and the completion address of read-out are stored in the lead pointer 23. If read-out is completed, 1st CPU11 will output the read-out completion IRQ. Based on the index memorized by the index memory 313 in the data read in the decode unit 303, key information is chosen from two or more key information 311, and it decodes based on this selected key information.

[0094] As mentioned above, the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 7th of this invention is possible The index memory 313 which memorizes the index of the key information chosen from the key information 311 on two or more propers which 1st CPU11, and the 2nd CPU13 and CPU have, While choosing key information from two or more key information 311 according to the index memorized by this index memory 313 The encryption unit 301 which enciphers data based on this selected key information, The dual port memory 15 which consists of a ring buffer which stores temporarily the data enciphered in the encryption unit 301, The light pointer 21 which stores the write-in address of the field where data were written in dual port memory



15, While choosing key information from two or more key information 311 according to the index memorized by the index memory 313 The communication interface which has the decode unit 303 decoded based on this selected key information and the lead pointer 23 which stores the read-out address of the field where data were read from dual port memory 15 is prepared. At the time of data transmission, the data which enciphered data in the encryption unit 301 and were enciphered in the encryption unit 301 are written in the free area of dual port memory 15. The write-in address is stored in the light pointer 21. At the time of data reception Based on the write-in address stored in the light pointer 21, data are read from dual port memory 15. Store the read-out address in the lead pointer 23, and the read data are decoded in the decode unit 303. Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address before writing data in dual port memory 15 at the time of data transmission While dual port memory 15 can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary in the range which does not become full By choosing key information, and enciphering and delivering the commo data of CPU-to-CPU based on the selected key information based on the index information which can be set up by external memory, out of two or more fixed key information inside CPU Furthermore, key information can be changed according to a device individual, own security of key information is improved further, and the data communication of higher security becomes possible.

(Gestalt of the 8th operation)

[0095] The CPU-to-CPU correspondence procedure of the gestalt of operation of the 8th of this invention Before step S3 of the data transmitting processing indicated to be the gestalt of implementation of the above 2nd to drawing 3 Based on the index memorized by the index memory 313, key information is chosen from two or more key information 311. The step (with no illustration) which enciphers data based on this selected key information is prepared. After step S15 of the data reception shown in drawing 4 , key information is chosen from two or more key information 311 based on the index memorized by the index memory 313. The point of having prepared the step (with no illustration) decoded based on the key information which had data read from dual port memory 15 chosen is different. In addition, the same component as the gestalt of the 2nd operation is shown using the same reference designator and the same sign, and detailed explanation is omitted.

[0096] Hereafter, an operation of the CPU-to-CPU data communication approach of the gestalt operation of the 8th of this invention is explained below using drawing 3 and drawing 4 .

[0097] In case data are transmitted to 2nd CPU13 from 1st CPU11, as shown in drawing 3 , in 1st CPU11, it reads from the lead pointer 23 at step S2, and a starting address and the completion address are read. Subsequently, based on the index memorized by the index memory 313, key information is chosen from two or more key information 311, and transmit data is enciphered based on this selected key information. It obtained and reads at step S2, and the data write-in field to dual port memory 15 is set up at step S3 based on a starting address and the completion address. Subsequently, while writing in the light pointer 21 by step S4 and storing a starting address, data are written in dual port memory 15 at continuing step S5. Subsequently, after the writing of data is completed, it progresses to step S7 and writes in the light pointer 21, and the completion address is stored, it writes in at step S8, and Completion IRQ is outputted.

[0098] According to this write-in completion IRQ, data reception shown in drawing 4 is performed in 2nd CPU13. In 2nd CPU13, if the write-in completion IRQ is received, it progresses to step S12 from step S11, and it will write in from the light pointer 21, a starting address and the completion address will be read, and the read-out field of the data from dual port memory 15 will be set up at step S13 based on the write-in starting address and the completion address which were obtained. Subsequently, while reading to the lead pointer 23 at step S14 and storing a starting address, data are read from dual port memory 15 at continuing step S15, and this read data chooses key information from two or more key information 311 based on the index memorized by the index memory 313, and is decoded based on this selected key information. At step S17, it reads to the lead pointer 23, and the completion address is stored, it reads at step S18, and Completion IRQ is outputted.

[0099] As mentioned above, the CPU-to-CPU data communication approach of the gestalt operation of the 8th of this invention The index of the key information chosen from the key information 311 on two or more processors which CPU has is memorized in the index memory 313. At the time of data transmission According to an index, key information is chosen from two or more key information 311. The data which enciphered data based on this selected key information, and were enciphered by the free area of the dual port memory 15 which consists of a ring buffer which stores data temporarily are written in (step S5). The write-in address of the field of dual port memory 15 where this data was written in is stored in the light pointer 21 (step S4 and step S7). At the time of data reception Based on the write-in address stored in the light pointer 21, data are read from dual port memory 15 (step S15). The read-out address from dual port memory 15 is stored in the lead pointer 23 (steps S14 and S17). According to an index, key information is chosen from two or more key information 311. Before decoding based on the key information which had read data chosen and writing data in dual port memory 15 at the time of data transmission Since it was stored in the lead pointer 23, it reads and the free area of dual port memory 15 is recognized based on the address While dual port memory 15 can access writing and read-out mutually asynchronous and can make the mutual latency time unnecessary in the range which does not become full By choosing key information, and enciphering and delivering the commo data of CPU-to-CPU based on the selected key information based on the index information which can be set up by external memory, out of two or more fixed key information inside CPU Furthermore, key information can be changed according to a device individual; own security of key information is improved further, and the data communication of higher security becomes possible.

[0100]

[Effect of the Invention] In the CPU-to-CPU data communication approach that this invention performs data communication of at least two CPU-to-CPU as explained above at the time of data transmission While writing data in the free area of a store which stores data temporarily The write-in address of the field of the store with which this data was written in is stored in a light pointer. At the time of data reception While reading data from a store based on the write-in address stored in the light pointer The read-out address of the field of the storage with which this data was read is stored in a lead pointer. Before writing said data in a store at the time of data transmission, in the range in which a store does not become full by [ which read and recognizes the free area of a store based on the address ] having been stored in the lead pointer While being able to access writing and read-out mutually asynchronous and being able to make the mutual latency time unnecessary The CPU-to-CPU data communication approach of having the outstanding effectiveness that the data communication of higher security becomes possible can be offered by enciphering and delivering the commo data of CPU-to-CPU based on the fixed key information inside CPU.

---

[Translation done.]



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The outline block diagram showing the CPU-to-CPU data communication unit of the gestalt of operation of the 1st of this invention

[Drawing 2] The functional block diagram showing the communication interface of the CPU-to-CPU data communication unit shown in drawing 1

[Drawing 3] The flow chart which shows an example of the data transmitting procedure of the CPU-to-CPU data communication approach of the gestalt of operation of the 2nd of this invention

[Drawing 4] The flow chart which shows an example of the data reception procedure of the CPU-to-CPU data communication approach of the gestalt of operation of the 2nd of this invention

[Drawing 5] The functional block diagram showing the communication interface of the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 3rd of this invention is possible

[Drawing 6] The functional block diagram showing the communication interface of the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 5th of this invention is possible

[Drawing 7] The functional block diagram showing the communication interface of the equipment in which the CPU-to-CPU data communication of the gestalt of operation of the 7th of this invention is possible

[Drawing 8] The outline block diagram showing the conventional CPU-to-CPU data communication unit

[Description of Notations]

11 1st CPU

13 2nd CPU

15 Dual Port Memory (Storage)

17 19 Data bus

21 Light Pointer

23 Lead Pointer

31 Transmitting Module (Communication Interface)

33 Receiving Module (Communication Interface)

101,301 Encryption unit

103,303 Decode unit

111 Key Information

211 Memory (Storage Means)

311 Two or More Key Information

313 Index Memory (Storage Means)

---

[Translation done.]